

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

К.К. Побєдаш, В.А. Святненко, К.В. Трубіцин

МІКРОПРОЦЕСОРИ ТА ЦИФРОВА ЕЛЕКТРОНІКА

ЛАБОРАТОРНИЙ ПРАКТИКУМ

*Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для студентів,
які навчаються за спеціальністю 141 «Електроенергетика, електротехніка
та електромеханіка»,
спеціалізації «Електротехнічні пристрої та електротехнологічні
комплекси»*

Київ
КПІ ім. Ігоря Сікорського
2019

Рецензент *Чумак В.В.*, канд. техн. наук, доц., кафедра електромеханіки, факультет електроенерготехніки та автоматики, КПІ ім. Ігоря Сікорського

Відповідальний редактор *Побєдаш К.К.*, канд. техн. наук, доц., кафедра теоретичної електротехніки, факультет електроенерготехніки та автоматики

*Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол № 8 від 25.04.2019 р.)
за поданням Вченої ради факультету електроенерготехніки та автоматики
(протокол № 9 від 22.04.2019 р.)*

Електронне мережне навчальне видання

МІКРОПРОЦЕСОРИ ТА ЦИФРОВА ЕЛЕКТРОНІКА

ЛАБОРАТОРНИЙ ПРАКТИКУМ

Укладачі: *Побєдаш Костянтин Каленикович*, канд. техн. наук
Святненко Вадим Анатолієвич, ст. викладач
Трубіцин Костянтин Вікторович, ст. викладач

Мікропроцесори та цифрова електроніка: Лабораторний практикум [Електронний ресурс]: навч. посіб. для студ. спеціальності 141 «Електроенергетика, електротехніка та електромеханіка», спеціалізації «Електротехнічні пристрої та електротехнологічні комплекси»/ К.К. Побєдаш, В.А. Святненко, К.В. Трубіцин; КПІ ім. Ігоря Сікорського. – Електронні текстові дані (1 файл: 25,9 Мбайт). – Київ: КПІ ім. Ігоря Сікорського, 2019. – 78 с.

Представлено лабораторний практикум з дисципліни "Мікропроцесори та цифрова електроніка", виконання якого сприяє закріпленню теоретичних знань, отриманих студентами при вивченні програмного матеріалу, ознайомленню та придбанню навиків користування радіовимірною апаратурою, визначенню параметрів та характеристик основних цифрових електронних схем. Приведено короткі теоретичні відомості до досліджуємих пристроїв. Надані контрольні запитання, які дозволяють студентам здійснювати самоконтроль засвоєння матеріалу.

Призначений для студентів денної та заочної форм навчання спеціальності 141 «Електроенергетика, електротехніка та електромеханіка».

© К.К. Побєдаш, В.А. Святненко, К.В. Трубіцин, 2019
© КПІ ім. Ігоря Сікорського, 2019

ЗМІСТ

	стор.
Вступ.....	4
Лабораторна робота №1. Ознайомлення з контрольно - вимірною апаратурою.....	5
Лабораторна робота №2. Логічні елементи.....	17
Лабораторна робота №3. Тригери.....	25
Лабораторна робота №4. Лічильники.....	37
Лабораторна робота №5. Регістри.....	47
Лабораторна робота №6. Комбінаційні пристрої.....	55
Лабораторна робота №7. Оперативно - запам'ятовуючі пристрої ...	69
Література	78

ВСТУП

Видання містить опис лабораторних робіт з курсу " Мікропроцесори та цифрова електроніка" , який викладається студентам денної та заочної форм навчання спеціальності 141 «Електроенергетика, електротехніка та електромеханіка».

Основною метою цього циклу лабораторних робіт є закріплення теоретичних знань, отриманих студентами при вивченні програмного матеріалу, ознайомлення та придбання навиків користування радіовимірювальною апаратурою, визначення параметрів та характеристик цифрових інтегральних мікросхем.

У процесі підготовки до лабораторної роботи кожен студент повинен:

- ознайомитись зі змістом лабораторної роботи;
- вивчити відповідні розділи програми і рекомендованої літератури;
- уважно подивитись контрольні запитання і дати усну відповідь на них;
- виконати передбачені описом попередні розрахунки та, якщо необхідно, побудувати графіки;

підготувати протокол звіту лабораторної роботи.

Звіт з лабораторної роботи повинен містити:

- сформульовану мету роботи;
- принципову електричну схему досліджуваного електронного пристрою;
- розрахунки, передбачені домашнім завданням;
- докладні висновки в результаті вимірів, зіставлення експериментальних даних з розрахунками, пояснення точності їх відповідності і можливих розходжень.

Усі креслення звіту треба виконувати відповідно до вимог ЄСКД. Графічні і розрахункові залежності повинні бути виконані на міліметровій сітці. При цьому графіки повинні бути розділені кольором або характером креслення ліній. Експериментальні та розрахункові точки слід виділяти яким-небудь геометричним знаком.

Оформлений звіт з виконаної роботи студент повинен здати в кінці даного заняття.

Кожне лабораторне заняття починається контролем теоретичної підготовки студентів до роботи. Студенти, які отримали незадовільну оцінку з теоретичних знань, до лабораторної роботи не допускаються.

Перед початком циклу лабораторних робіт усі студенти академічної групи проходять інструктаж з техніки безпеки. У випадку порушення правил техніки безпеки або дисципліни у лабораторії студент від виконання лабораторних робіт відстороняється.

Лабораторна робота № 1

Ознайомлення з контрольно-вимірювальною апаратурою.

Мета роботи: ознайомлення з універсальним лабораторним стендом та радіовимірювальними приладами: генератором імпульсних сигналів Г5-54, генератором імпульсних сигналів TGP-110, осцилографом CI-55 та придбання навиків користування ними.

Опис універсального лабораторного стенду

Універсальний лабораторний стенд призначається для проведення роботи фронтальним методом. Тип досліджуваної схеми визначається змінним модулем, який з'єднується з універсальним стендом через роз'єднувач. Універсальний стенд забезпечує сполучення досліджуваної електронної схеми з вимірювальними приладами та джерелами живлення. З цією метою використовуються високочастотні роз'єднувачі, шини живлення і вимикач низьковольтного живлення.

Модуль з досліджуванним електронним пристроєм вставляється в роз'єднувач, і через його контакти забезпечуються електричні зв'язки електронного пристрою з вимірювальними приладами, джерелами сигналів та живлення, з перемикачами комутації режимів.

Модуль конструктивно виконаний у вигляді друкованої плати, розміщеної разом з вилкою з'єднувача в захисному корпусі з органічного скла чи гетинаксу. На лицьовій поверхні модуля розміщена принципова електрична схема досліджуваного електронного кола з показом входів, виходів, контрольних точок та перемикачів на лабораторному стенді, коли перемикачі не натиснуті. При натисканні на кнопки перемикачів вони фіксуються у нажатому стані, при повторному натисканні вони повертаються у початкове положення. Напруга живлення й споживаний струм вимірюються зовнішнім з'єднанням вимірювальних приладів.

Домашнє завдання

1. Вивчити технічні характеристики, органи керування і призначення радіовимірювальних приладів: генераторів імпульсних сигналів Г5-54, TGP-110 і осцилографа CI-55.

2. Скласти блок-схеми вимірювання метрологічних характеристик Г5-54, TGP-110 за допомогою осцилографа CI-55.

Робоче завдання

1. Виміряти за допомогою осцилографа наступні амплітудно-часові параметри імпульсного сигналу з генератора Г5-54 та TGP-110: амплітуду імпульсу U_m , тривалість імпульсу t_l , тривалість фронту імпульсу t_Φ , тривалість спаду імпульсу t_c , тривалість затримки t_z , період проходження T та частоту f імпульсів. Результати вимірів занести до таблиці і порівняти з даними, встановленими на генераторах Г5-54 і TGP-110.

Генератор Г5-54

Малогабаритний генератор імпульсів Г5-54 призначається для генерування імпульсів прямокутної форми.

Генератор виробляє відео імпульси обох полярностей. Тривалість основних імпульсів регулюється плавно та ступінчато (6 діапазонів) від 0,1 до 1000 мкс (1 мс).

Максимальна амплітуда основних імпульсів U_m на зовнішньому навантаженні 500 Ом з паралельною ємністю 50 пФ не менше 50 В. Забезпечується повне регулювання амплітуди від U_m до $0,3U_m$ та ступінчасте послаблення з коефіцієнтами (К) $\times 1$; $\times 0,3$; $\times 0,1$; $\times 0,03$. Прилад має два додаткових виходи з загальним коефіцієнтом поділу 1:100 (вихід 1:10) та 1:1000 (вихід 1:100). Тривалість затримки імпульсу (t_z) відносно синхроімпульсу регулюється плавно та ступінчато від 0,1 до 1000 мкс. Значення тривалості затримки не повинна перевищувати 0,5 періоду проходження основних імпульсів (T), а $t_l < T$.

Частоту повторення імпульсів при внутрішньому запуску можна регулювати плавно та ступенево (8 діапазонів) від 0,01 до 100 кГц.

Генератор має можливість запускатися від зовнішнього джерела імпульсами обох полярностей тривалістю від 0,3 до 5 мкс, амплітудою від 1 до 20 В при частоті повторення до 100 кГц та тривалістю фронту не більше 0,3 мкс; синусоїдною напругою амплітудою від 5 до 20 В при частоті від 0,05 до 100 кГц та від кнопки "Однократний імпульс".



Прилад має окремий вихід імпульсу синхронізації для запуску зовнішніх пристроїв та блоків. Імпульси синхронізації виробляються обох полярностей, тривалістю, фіксованою у межах 0,3...1 мкс і регульованою амплітудою від 1 до 15 В, навантаженні 1 кОм з паралельною ємністю 50 пФ. Сумарна напруга (постійна напруга запускаючих сигналів, які подаються до



гнізда "Зовнішній запуск") не повинна перевищувати 20 В. Гніздо виходу синхроімпулсів допускає вмикання до кіл постійної напруги не більше 10 В. Гнізда виходів основних імпульсів не допускають вмикання до кіл, де є постійні напруги.

Порядок роботи:

Внутрішній запуск. Генератор встановлюють в режим внутрішнього запуску, натискаючи кнопку "ВНУТР." перемикача "ЗАПУСК". Необхідна частота проходження імпульсів устанавлюється кнопками та шкальним пристроєм "Частота повторення". Кнопками та шкальним пристроєм "Временной сдвиг" встановлюється необхідна затримка основного імпульсу відносно синхроімпулсу. Якщо затримка не потрібна, обов'язково треба натиснути кнопку "0" перемикача "Временной сдвиг".

Кнопками та шкальним пристроєм "Длительность" встановлюється потрібна тривалість основних імпульсів. При цьому мінімальна щільність повинна бути не менше двох. При щільності менше двох не гарантуються параметри основних імпульсів та частота їх проходження.

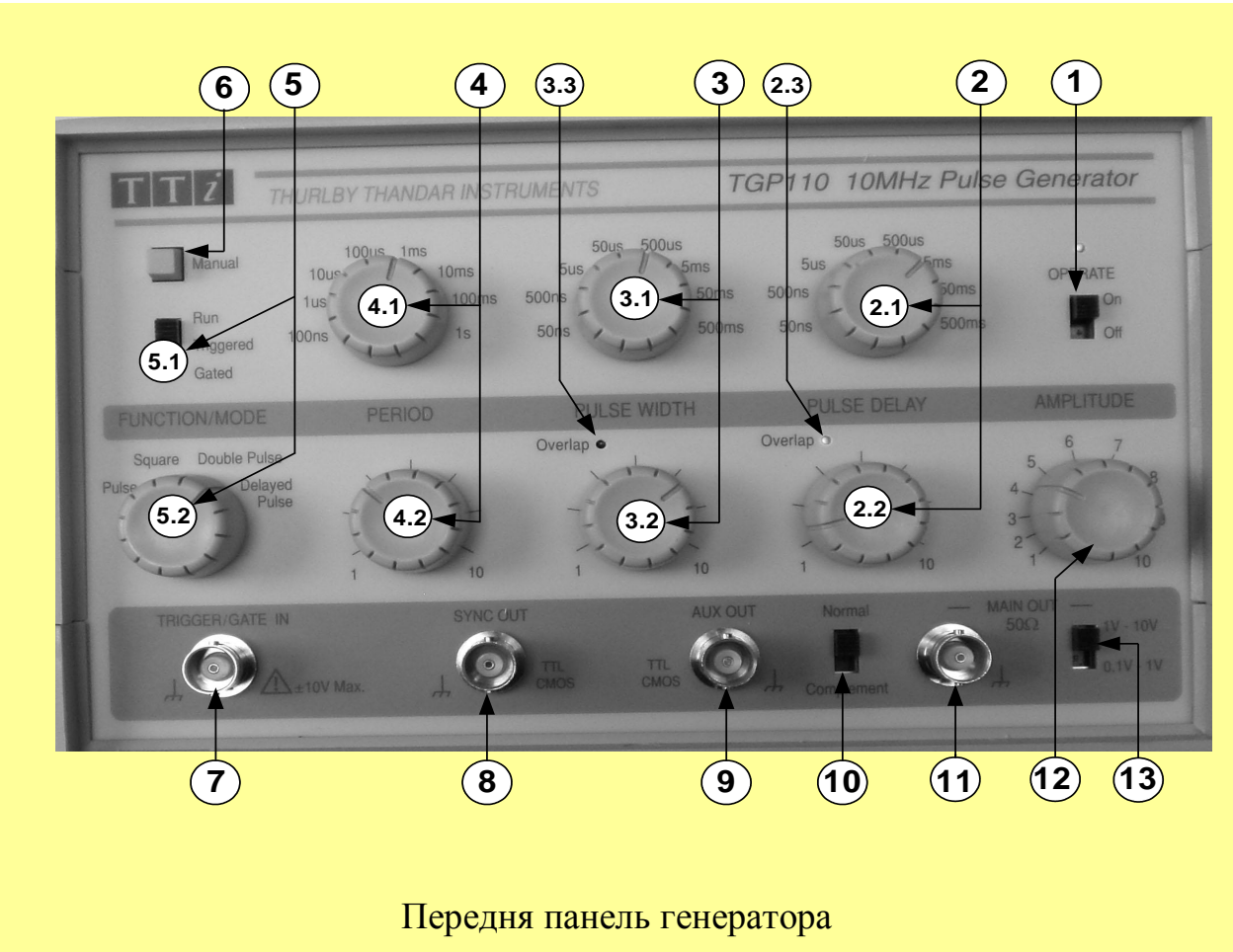
Кнопками «», «» встановлюється потрібна полярність імпульсів.

Кнопками множника амплітуди «х» (x_1 ; x_03 ; x_{01} ; $x_{0,03}$) та ручкою "АМПЛ" плавного регулювання амплітуди основних імпульсів встановлюється за шкалою вольтметра потрібна амплітуда імпульсів. Якщо амплітуда повинна бути встановлена менше 0,5 В, то зовнішнє навантаження підключається до гнізд 1:10 чи 1:100. У цьому разі треба натиснути кнопку дільника амплітуди " $x_{0,03}$ ". Синхронізуючі імпульси в такому випадку знімаються з коаксіального гнізда "Синхроімпулс". Полярність імпульсу вибирається перемикачем «», «», а ручкою "АМПЛ" ("СИНХРОИМПУЛЬСЫ") встановлюється потрібна амплітуда синхроімпулсів.

Зовнішній запуск. Натиснути одну з кнопок зовнішнього запуску, відповідно до форми і полярності зовнішнього запускаючого сигналу. На вхідне гніздо "ЗАПУСК" подати запускаючий сигнал амплітудою не більше 20 В і частотою не більше 100 кГц. Далі робота аналогічна роботі при внутрішньому запуску, при цьому також необхідно витримувати умову максимально допустимої щільності.

Разовий запуск. Натиснути кнопку разового запуску. Інші органи керування повинні знаходитися у тому ж положенні, що і при внутрішньому запуску. При кожному натисканні на кнопку разового запуску прилад виробляє один синхроімпульс та один основний імпульс на відповідних виходах.

Генератор TGP-110



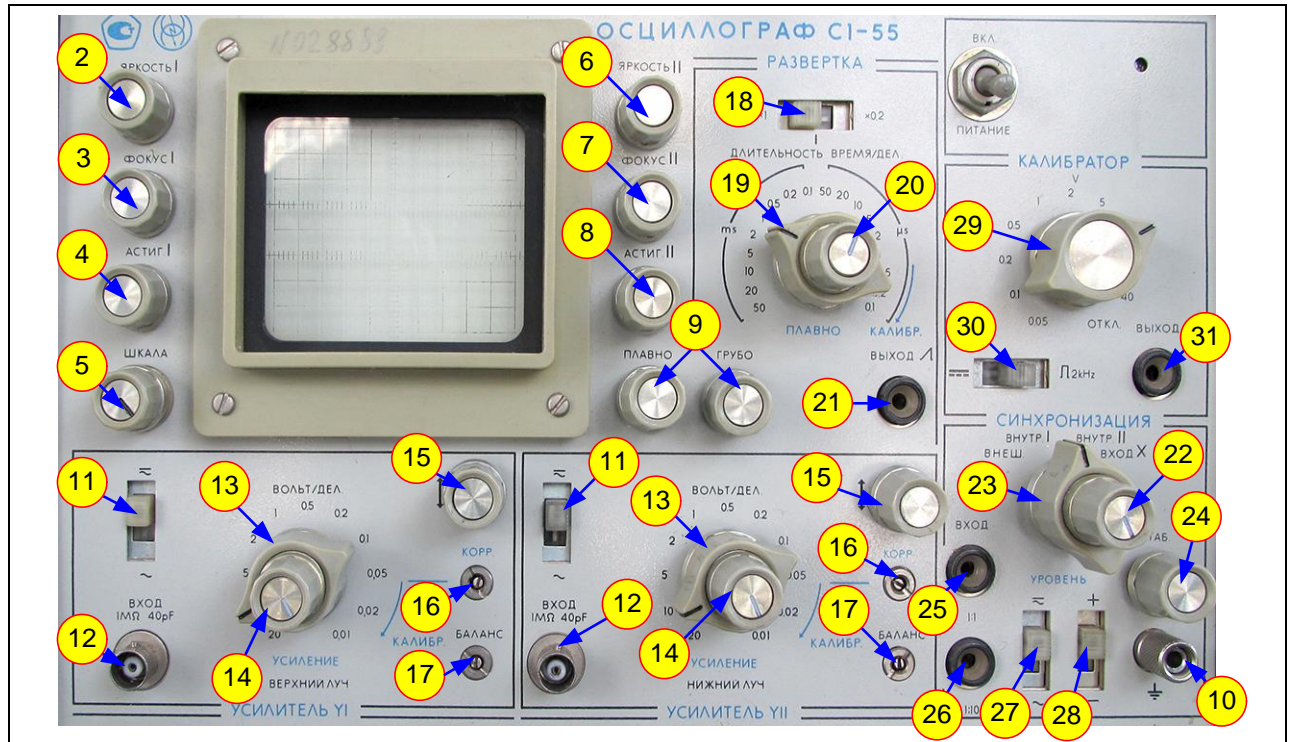
Передня панель генератора

Призначення органів керування і режимів роботи

№ позиції	Органи керування і режими роботи	Функція
1	OPERATE	Перемикач вмикання і вимикання живлення
2	PULSE DELAY	Регулювання затримки імпульсів
2.1		Ступінчато
2.2		Плавно
2.3	Overlap	Індикатор помилкового встановлення тривалості затримки імпульсу

3	PULSE WIDTH	Регулювання тривалості основних імпульсів
3.1		Ступінчато
3.2		Плавно
3.3	Overlap	Індикатор помилкового встановлення тривалості імпульсу
4	PERIOD	Період повторення вихідних імпульсів синхронізації
4.1		Ступінчато
4.2		Плавно
5	FUNCTION/MODE	Перемикач режимів:
5.1	Run	Режим автозапуску
	Triggered	Режим роботи, коли генератор виробляє імпульс на кожний вхідний імпульс або у відповідь на натискання кнопки ручного запуску
	Gated	Режим роботи, коли генератор виробляє серію (пачку) імпульсів, на час тривалості вхідного імпульсу або тривалості натискання кнопки ручного запуску
5.2	Pulse	Режим регульованої щільності
	Square	Режим меандровий
	Double Pulse	Режим подвійного імпульсу
	Delayed Pulse	Режим затриманого імпульсу
6	MANUAL	Кнопка ручного запуску
7	TRIGGER/GATE IN	Вхід зовнішніх сигналів синхронізації
8	SYNC OUT	Вихід імпульсів синхронізації
9	AUX OUT	Додатковий вихід, узгоджений з рівнями TTL і МОП логіки
10	Перемикач	Перемикач основного (Normal) і інверсного (Complement) режиму вихідних імпульсів
11	MAIN OUT	Вихід основних імпульсів
12	AMPLITUDE	Регулювання амплітуди вихідних імпульсів
13	Перемикач	Перемикач діапазонів амплітуд основних імпульсів: 0,1-1 В; 1-10 В

Осцилограф С1-55



Осцилограф С1-55 має призначення для одночасного спостереження та дослідження форм двох електричних процесів шляхом візуального спостереження та вимірювання їх числових та амплітудних значень. Осцилограф С1-55 забезпечує:

а) спостереження форм імпульсів обох полярностей з тривалістю від 0,1 мкс до 0,2 с з розмахом від 10 мВ до 140 В, а при використанні зовнішнього подільника 1:10 від 100 мВ до 300 В та до 1500 В - з виносним подільником;

б) спостереження періодичних сигналів в діапазоні частот від 3 Гц до 10 МГц;






в) вимірювання амплітуд досліджуваних сигналів від 30 мВ до 140 В;







г) вимірювання інтервалів часу від 0,1 мкс до 0,2 с.

Підготовка до роботи
Органи керування і регулювання
Передня панель




1	Тумблер "Сеть"	для вмикання і вимикання приладу;
2	Ручка "Яркость I"	для встановлення потрібної яскравості променю електронно-променевої трубки /ЕПТ/ каналу УІ;
3	Ручка "Фокус I"	для фокусування променю ЕПТ каналу УІ;
4	Ручка "Астигмат. I"	для усунення астигматизму ЕПТ каналу УІ;
5	Ручка "Освещ. шкалы"	для регулювання освітлення шкали екрану приладу;
6	Ручка "Яркость II"	для встановлення потрібної яскравості променю електронно-променевої трубки /ЕПТ/ каналу УІІ;
7	Ручка "Фокус II"	для фокусування променю ЕПТ каналу УІІ;
8	Ручка "Астигмат II"	для усунення астигматизму ЕПТ каналу УІІ;
9	Ручки, позначені « \longleftrightarrow »	для переміщення променів ЕПТ з написом "ПЛАВНО", "ГРУБО" по горизонталі;
10	Корпусна клема \perp	для заземлення корпусу приладу.
<u>Підсилювач УІ /УІІ/</u>		
11	Тумблер « $\overline{\sim}$ », « \sim »	для перемикавання на відкритий чи закритий вхід підсилювача УІ /УІІ/;
12	Коаксіальне гніздо «Вход 1МОм, 40 pF»	для подавання досліджуваних сигналів на підсилювач УІ /УІІ/;

13 Велика ручка перемикача «ВОЛЬТ/ДЕЛ»	для перемикання вхідного атенюатора каналу УІ /УІІ/;
14 Мала ручка на осі перемикача "ВОЛЬТ/ДЕЛ." - "УСИЛЕН"	для плавного регулювання чутливості підсилювача УІ /УІІ/;
15 Ручка, позначена \updownarrow	для переміщення променю каналу УІ /УІІ/ по вертикалі;
16 Виведений шліцом потенціометр "КОРР"	для калібровки коефіцієнта відхилення підсилювача УІ /УІІ/;
17 Виведений шліцом потенціометр "БАЛАНС"	для балансування підсилювача УІ /УІІ/;
<u>Розгортка</u>	
18 Тумблер «х1», «х0,2 »	для множення тривалості розгортки;
19 Велика ручка перемикача «ДЛИТЕЛЬНОСТЬ ВРЕМЯ/ДЕЛ»	для перемикання тривалості розгортки
20 Мала ручка на осі перемикача «ДЛИТЕЛЬНОСТЬ ВРЕМЯ/ДЕЛ.» "ПЛАВНО"	для плавного регулювання тривалості розгортки;
21 Гніздо "ВЫХОД \neg »	для виходу пилкоподібної напруги позитивної полярності.
<u>Синхронізація</u>	
22 Велика ручка перемикача виду синхронізації"ВНШ., ВНУТР. І» ВНУТР. ІІ, ВХОД Х"	для встановлення внутрішньої чи зовнішньої синхронізації, а також для підключення входу підсилювача "Х" до гнізда "ВХОД" синхронізатора;





23 Мала ручка на осі перемикача виду синхронізації "УРОВЕНЬ"	для вибору рівня розгортки;
24 Ручка "СТАБ."	Для вибору режиму роботи генератора розгортки /чекаючий чи автоколивальний/;
25 Гнізда "ВХОД" "1:1"	для подавання зовнішніх синхронізуючих сигналів і подавання сигналу на вхід "X" без ослаблення;
26 Гнізда "ВХОД" "1:10"	для подавання зовнішніх синхронізуючих, сигналів і подавання сигналу на вхід "X" з ослабленням у 10 разів;
27 Тумблер «  », «  »	для перемикання закритого и відкритого входу синхронізації;
28 Тумблер "+", "-"	для вибору полярності синхронізації
Калібратор	
29 Ручка «  »	для встановлення вихідної напруги калібратора;
30 Тумблер «  », «  » 2kHz	для перемикання виду калібрувальної напруги;
31 Гніздо "ВЫХОД"	для знімання калібрувальної напруги.
<u>Підготовка до вимірів</u>	
Перед вмиканням приладу в мережу попередньо встановлюються органи керування в такі положення:	
Ручки "ЯРКОСТЬ I", "ЯРКОСТЬ II", "ФОКУС I", "ФОКУС II", "АСТИГМАТ I", "АСТИГМАТ II"	у середнє

", "УРОВЕНЬ",	
Ручка "СТАБ."	У кінцеве праве
Тумблери підсилювачів УІ, УІІ «  », «  »,	у положення «  »
Тумблер входу синхронізації «  », «  »	у положення «  »
Тумблер "+", "-"	у положення "+"
Ручку синхронізації "ВНЕШ.", "ВНУТР.І", "ВНУТР.ІІ", "ВХОД Х"	у положення "ВНУТР. І"
Ручку "ВОЛЬТ/ДЕЛ."	У положення "0.01"
Ручку «ДЛИТЕЛЬНОСТЬ ВРЕМЯ/ДЕЛ»	у положення "0,1с"
Тумблер «x1», «x0,2 »	у положення «x1».

З'єднати прилад відповідним шнуром з джерелом напруги, а тумблер "СЕТЬ" встановити у верхнє положення. При цьому повинна засвітитися сигнальна лампа. Через 2-3 хвилини після вмикання приладу потрібно відрегулювати яскравість та фокусування ліній розгортки за допомогою ручок "ЯРКОСТЬ", "ФОКУС", "АСТИГМАТ."

Якщо промінь ЕПТ не буде на екрані при максимальній яскравості, то потрібно перемістити промені в межах робочої частини екрану за допомогою ручок «» та « ».

Після 15-20 хвилин прогрівання осцилографа треба збалансувати по черзі УІ і УІІ.

Для цього при відсутності сигналів на входах підсилювачів ручками «» лінію розгортки треба перемістити у середнє положення робочої частини екрану ЕПТ і регулюванням "Баланс", виведеного шліцом на передню панель, домогтися незалежності положення ліній розгортки від перемикавання ручок "ВОЛЬТ/ДЕЛ.". Установити ручки "ВОЛЬТ/ДЕЛ." у положення "0,05", а ручки "УСИЛЕНИЕ" за стрілкою годинника до упору. Ручку «» калібратора установити у положення "0,2". Тумблер «—», « 2 kHz» калібратора у положення «» 2 kHz. За допомогою кабелю подати по черзі на входи підсилювачів УІ і УІІ калібрувальну напругу з гнізда

"ВЫХОД". Якщо зображення амплітуди калібрувальної напруги не дорівнює чотирьом поділкам шкали ЕПТ, то потрібно регулюванням "КОРР", виведеним шліцом на передню панель приладу, установити амплітуду калібрувальної напруги, яка дорівнює чотирьом поділкам шкали.

Після цього прилад готовий до роботи і можна приступати до вибору режиму роботи та проведення необхідних спостережень і вимірів.

Виконання необхідних спостережень і вимірів здійснюється за екраном ЕПТ. Екран ЕПТ має прозору шкалу, яка використовується для вимірів по вертикалі та горизонталі.

Для збільшення чіткості зображення, а також для створення більш сприятливого для очей світіння екрану прилад має фільтр, котрий установлюється перед шкалою ЕПТ.

Досліджувані сигнали подаються на коаксіальні гнізда "ВХОД I 40 pF" і "ВХОД II 40 pF" підсилювачів УІ і УІІ.

Для проведення необхідних спостережень та вимірів досліджуваних сигналів зображення на екрані осцилографу повинно бути стабільним і мати розмір, зручний для розгляду. Для цього потрібно установити необхідний режим роботи розгортки, вид синхронізації, ослаблення вхідних дільників, рід роботи підсилювачів вертикального відхилення.

Режим роботи розгортки (чекаючий, автоколивальний) встановлюється ручкою "СТАБ."

Поворотом ручки "СТАБ." вправо до появи розгортки маємо автоколивальний режим розгортки, поворотом ручки вліво на 5-10° від точки зриву розгортки маємо чекаючий режим розгортки.

Щоб мати на екрані осцилографу стабільне зображення процесу, що спостерігається, треба:

- ручки "СТАБ." та "УРОВЕНЬ" повернути вправо до упору;
- повернути ручку "СТАБ." вліво, поки зображення не зникне;
- повернути ручку "УРОВЕНЬ" вліво, поки зображення не з'явиться знову.

Тривалість розгортки вибирається такою, щоб можна було спостерігати форму досліджуваного сигналу. Якщо тривалість досліджуваного сигналу відома, можна заздалегідь установити перемикач тривалості розгортки "ДЛИТЕЛЬНОСТЬ ВРЕМЯ/ДЕЛ." і множник розгортки «x1», «x0,2» у

необхідне положення. Плавне регулювання тривалості розгортки здійснюється потенціометром, спареним з перемикачем тривалості розгортки і позначеним на передній панелі написом "ПЛАВНО".

Значення тривалості розгортки, позначені на передній панелі приладу, вірні лише в крайньому правому положенні ручки "ПЛАВНО", у якому вона має механічну фіксацію.

Для визначення тривалості спостерігаемого процесу треба:

- підрахувати, скільки цілих (клітин) та дробових поділок шкали ЕПТ по горизонталі займає досліджуване зображення;
- помножити значення тривалості розгортки, на яке показує перемикач "ДЛИТЕЛЬНОСТЬ ВРЕМЯ/ДЕЛ.", на кількість підрахованих цілих та дробових поділок /клітин/, якщо множник розгортки «x1», «x2 » знаходиться у положенні «x1»;
- якщо множник розгортки знаходиться у положенні «x0,2» попередній добуток треба помножити ще на 0,2.

Синхронізувати розгортку у більшості випадків найбільш зручно досліджуванним сигналом. Для цього ручку "СИНХРОНИЗАЦИЯ" треба встановити у положення "ВНУТР. I" або "ВНУТР. II" залежно від того, сигналом якого каналу бажано синхронізувати розгортку.

При зовнішній синхронізації слід з'єднати джерело зовнішнього синхронізуючого сигналу з гніздом "ВХОД 1:1", або "ВХОД 1:10" і ручку "СИНХРОНИЗАЦИЯ" встановити у положення "ВНЕШ.".

При виборі режиму роботи підсилювачів вертикального відхилення треба знати, що режим підсилення постійного струму (відкритий вхід) використовується для дослідження вхідного сигналу, який має постійну та змінну складову.

Регулювання амплітуди вхідного сигналу здійснюється вхідними дільниками "ВОЛЬТ/ДЕЛ.". Значення коефіцієнтів відхилення підсилювачів, позначені на передній панелі, слухні лише в крайньому правому положенні ручок "УСИЛЕНИЕ", у якому вони мають механічну фіксацію.

Для визначення амплітуди спостерігаемого сигналу треба:

- підрахувати, скільки цілих (клітин) та дробових поділок шкали ЕПТ по вертикалі займає досліджуване зображення;
- помножити значення чутливості, на яке показує перемикач "ВОЛЬТ/ДЕЛ." підсилювача УІ (УІІ), на кількість підрахованих цілих (клітин) та дробових поділок.

Лабораторна робота № 2

ЛОГІЧНІ ЕЛЕМЕНТИ

Комбінаційними логічними елементами (ЛЕ) називають функціональні вузли електронної техніки, які реалізують функції алгебри логіки так, що стан із виходів однозначно визначається комбінацією вхідних сигналів і не залежить від попереднього стану даного елемента.

З точки зору схемотехніки ЛЕ описуються двома множинами параметрів і характеристик: логічними і електричними. До логічних елементів відносять реалізовану ЛЕ функцію алгебри логіки, рівні нуля і одиниці на вході U_1^0 і U_1^1 і на виході U_2^0 і U_2^1 ЛЕ, тривалість затримки розповсюдження сигналу $t_{з,р}$, тривалості фронту наростання $t_{ф}^{01}$ і спаду $t_{ф}^{10}$ вихідного сигналу. До електричних характеристик ЛЕ відносять сім'ї вхідних, передатних і вихідних характеристик з урахуванням впливу напруги джерела живлення і температури, а також енергетичні параметри ЛЕ: споживану енергію в стані “логічного 0” і “логічної 1” на виході. Дана робота посвячена дослідженню ЛЕ Шеффера, виконаного на базі ТТЛ – технології (155ЛА3), КМДН – технології (176ЛА7), ЛЕ Пірса на базі КМДН – технології (176ЛЕ5), а також ЛЕ двоступеневої логіки І-АБО-НЕ (155ЛРІ).

Мета роботи – ознайомитись з логікою функціонування ЛЕ типу “І-НЕ”, “АБО-НЕ”, “І-АБО-НЕ”; дослідити статичні характеристики ЛЕ: вхідні, передаточні і вихідні; виміряти динамічні параметри ЛЕ.

Опис досліджуваної схеми

В лабораторну установку входять лабораторний стенд зі змінним модулем ЛЕ, генератор імпульсів Г5-54, мультиметр і осцилограф С1-55. ЛЕ: $DD1$ – К155ЛА3, $DD2$ – К176ЛА7, $DD3$ – К155ЛР1, $DD4$ – К176ЛЕ5 (рис. 2.1). Підключення ЛЕ до джерела живлення +5 В, до шини вхідного сигналу, який подається на гніздо $XW1$, і до загальної вихідної шини, зв'язаної з вихідним роз'ємом $XW2$, здійснюється перемикачами $DD1$ – $S1$, $DD2$ – $S2$, $DD3$ – $S3$, $DD4$ – $S4$.

Примітка. Щоб уникнути перевантаження елементів і вихід їх із ладу, не можна одночасно підключати до джерела живлення і сигнальним шинам більше одного ЛЕ. Перед початком роботи потрібно впевнитись, що всі ЛЕ відключені.

Статичні вхідні характеристики ЛЕ, які виконані на основі ТТЛ-технології (К155ЛА3, К155ЛРІ), вимірюють за допомогою генератора пілкоподібної напруги ЛЗ0.

Лінійно зростаюча напруга подається до гнізда $XW1$ і через резистор $R1=100$ Ом та контакти перемикача $S1(S3)$ – на вхід ЛЕ $DD1(DD3)$. При цьому перемикач $S10$ повинен бути розімкненим. Регулюванням амплітуди

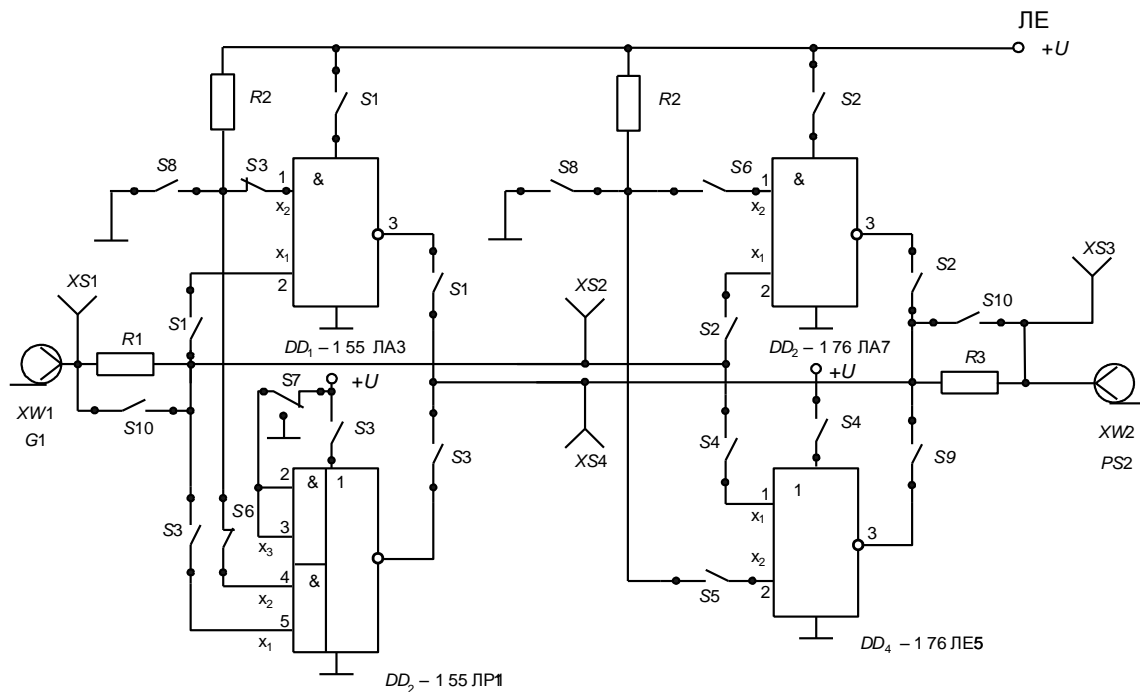


Рис. 2.1

пилкоподібного сигналу і його постійної складової необхідно забезпечити зміну вхідної напруги ЛЕ (гніздо XS2) в межах $0...+5\text{В}$. При цьому на резисторі $R1$ виділяється напруга $U_{R1} = I_{\text{вх}} R1$, пропорційна вхідному струму ЛЕ.

Співставляючи діаграми напруги на опорі $R1$ і на вході ЛЕ, можна побудувати залежність $I_{\text{вх}} = f(U_{\text{вх}})$.

Осцилограма напруги на резисторі $R1$ може бути отримана при підключенні осцилографа до гнізд XS1-XS2 за умови, що осцилограф не заземлений по другому каналу чи через клему на корпусі.

Вхідна характеристика ЛЕ може бути виміряна на постійному струмі за допомогою мультиметра, для чого на вхід через гніздо XW1 від генератора подається регульована постійна складова сигналу. Мультиметром вимірюють пари значень напруги на резисторі $R1$ (XS1-XS2) і на вході ЛЕ (XS2-1). За результатами вимірювань обчислюють вхідний струм $I_{\text{вх}}$ і будують вхідну характеристику. Вигляд вхідної характеристики ЛЕ залежить від потенціалу на другому вході X_2 , який встановлюється перемикачами $S5 \div S8$ для відповідних ЛЕ.

При вимірюванні динамічних параметрів ЛЕ резистори $R1$ і $R3$ повинні бути закорочені перемикачем $S10$. Імпульс прямокутної форми через роз'єм XW1 подається на один вхід ЛЕ, а з його виходу через роз'єм XW2 - на вхід осцилографа. На другий вхід осцилографа потрібно подати вхідний сигнал з гнізда XS2 чи XS1.

За передачею прямокутного імпульсу через ЛЕ перевіряється логіка функціонування ЛЕ, для чого з допомогою перемикачів $S5 \div S8$ на інші входи ЛЕ подаються одиничні або нульові рівні сигналу. Для подачі на вхід ЛЕ

“логічного 0” цей вхід заземляють, а одиничний рівень вхідного сигналу задають підключенням входу ЛЕ до джерела живлення через резистор $R2$.

Робоче завдання

1. Зняти і побудувати вхідну характеристику ЛЕ $DD1(DD3)$ для нульової і одиничної напруг на другому вході ЛЕ.
2. Проосцилографувати вхідні характеристики $DD1(DD3)$, подаючи на вхід ЛЕ імпульси пілкоподібної форми.
3. Зняти і побудувати статичні вхідні характеристики ЛЕ $DD1, DD2, DD3, DD4$ для нульового і одиничного рівнів вхідних сигналів.
4. Зняти і побудувати передаточні характеристики ЛЕ $DD1, DD2, DD3, DD4$ $U_{\text{вих}} = f(U_{\text{вх}})$ при нульовому і одиничному рівнях на другому вході.
5. Виміряти динамічні параметри ЛЕ $t_{\phi}^{01}, t_{\phi}^{10}, t_{\text{зт.р}}$ при подачі на вхід прямокутних імпульсів.

Контрольні запитання

1. Поясніть характер вхідних характеристик ЛЕ ТТЛ - типу.
2. Поясніть залежність вхідної характеристики ЛЕ від логічного рівня на другому його вході.
3. Сформулюйте основні закони алгебри логіки.
4. Поясніть основні методи мінімізації логічних функцій.
5. Поясніть різницю між комбінаційними і послідовністними логічними пристроями.

Методичні вказівки

Загальна характеристика цифрових інтегральних мікросхем і їх параметри

Цифрові інтегральні мікросхеми (ЦІМС) призначені для перетворення і обробки дискретних сигналів. Основа для їх побудови – електронні ключі, які можуть знаходитись в одному із двох станів і їх дія полягає в переході із одного стану в другий під дією вхідних сигналів. Одному із двох станів ключа відповідає одне із двох фіксованих значень вихідної електричної величини (наприклад, високий або низький потенціал, наявність або відсутність імпульсу). Так як ці величини можуть приймати два дискретних значення, вони будуть двійковими змінними.

Цифрові інтегральні мікросхеми випускають серіями, до складу кожної з яких входять мікросхеми, які мають єдине конструктивно-технологічне виконання, але які відносяться до різних підгруп і видів.

В залежності від схемотехнічної реалізації інтегральні логічні елементи (ЛЕ) діляться на наступні типи: транзисторної логіки (ТЛ), діодно-транзисторної логіки (ДТЛ), транзисторно-транзисторної логіки (ТТЛ), транзисторної логіки на МОН- транзисторах (МОН ТЛ, КМОН ТЛ), емітерно-зв'язаної логіки (ЕЗЛ), інтегральної інжекційної логіки (I^2L).

Параметри ЦІМС підрозділяють на статичні і динамічні.

До статичних параметрів відносяться:

- вхідна $U_{\text{вх}}^0$ і вихідна $U_{\text{вих}}^0$ напруга “логічного 0”;
- вхідна $U_{\text{вх}}^1$ і вихідна $U_{\text{вих}}^1$ напруга “логічної 1”;
- вхідний $I_{\text{вх}}^0$ і вихідний $I_{\text{вих}}^0$ струми “логічного 0”;
- вхідний $I_{\text{вх}}^1$ і вихідний $I_{\text{вих}}^1$ струми “логічної 1”;
- коефіцієнт розгалуження за виходом $K_{\text{роз}}$, тобто максимальна кількість одиничних навантажень, які можна одночасно підключити до виходу мікросхеми (одиничне навантаження – один вхід основного логічного елемента даної серії інтегральних мікросхем);
- коефіцієнт об’єднання за входом $K_{\text{об}}$, який визначає число входів мікросхеми, по яким реалізується логічна функція;
- допустима напруга статичної завади $U_{\text{зав.стат}}$, яка характеризує статичну завадостійкість мікросхеми, тобто, її здатність протистояти дії сигналу перешкоди, тривалість якого перевищує час переключення мікросхеми;
- середня споживана потужність

$$P_{\text{спож.ср}} = 0,5(P_{\text{спож}}^0 + P_{\text{спож}}^1),$$

де $P_{\text{спож}}^0$, $P_{\text{спож}}^1$ – потужність, що споживається мікросхемою в стані відповідно “логічного 0” і “логічної 1”.

Статичні параметри визначають за допомогою статичних характеристик, які знімають при повільних змінах струмів і напруги, що дозволяє нехтувати перехідними процесами в ІЛЕ. До статичних характеристик відносяться передатна $U_{\text{вих}} = f(U_{\text{вх}})$ при $I_{\text{вих}} = 0$, зворотного зв’язку $U_{\text{вх}} = f(U_{\text{вих}})$ при $I_{\text{вх}} = 0$, вхідна $I_{\text{вх}} = f(U_{\text{вх}})$ при $I_{\text{вих}} = 0$ і вихідна $I_{\text{вих}} = f(U_{\text{вих}})$ при $I_{\text{вх}} = 0$. Друга із названих характеристик практично не використовується, тому що сигнал, який поступає із виходу ІЛЕ на його вхід, дуже малий.

На рис. 2.2, а показана передатна характеристика інвертуючих ІЛЕ (наприклад, І-НЕ, АБО-НЕ) в допущенні, що їх характеристики ідентичні. В дійсності ж спостерігається розкид указаних характеристик як за рахунок розкиду параметрів компонентів, які входять до складу ІЛЕ, так і за рахунок різності режимів окремих елементів. Тому передатна характеристика для деякої сукупності однотипних елементів уявляє собою не одну криву, а деяку область, відокремлену зверху і знизу двома граничними кривими (рис. 2.2, б).

При цьому $U_{\text{вих max}}^1$ і $U_{\text{вих min}}^1$ – максимальний і мінімальний рівні вихідного сигналу, які є хоча би у одного із елементів даного типу.

Аналогічно розглядаються $U_{\text{вх min}}^0$ і $U_{\text{вих min}}^0$.

На цьому ж графіку точками відмічені рівні вхідних сигналів:

$U_{\text{вх max}}^0$ – це такий рівень, при якому ні один із елементів даного типу не перемикається із одиниці в нуль;

$U_{\text{вх min}}^1$ – рівень вхідного сигналу, при якому на виході любого елемента даного типу зберігається сигнал нуль. По цій характеристиці можна визначити запаси завадостійкості ІЛЕ, для чого достатньо провести прямі під

кутом 45° від точок перетину рівнів $U_{\text{вих min}}^1$ і $U_{\text{вих max}}^0$ з віссю ординат до перетину з віссю абсцис.

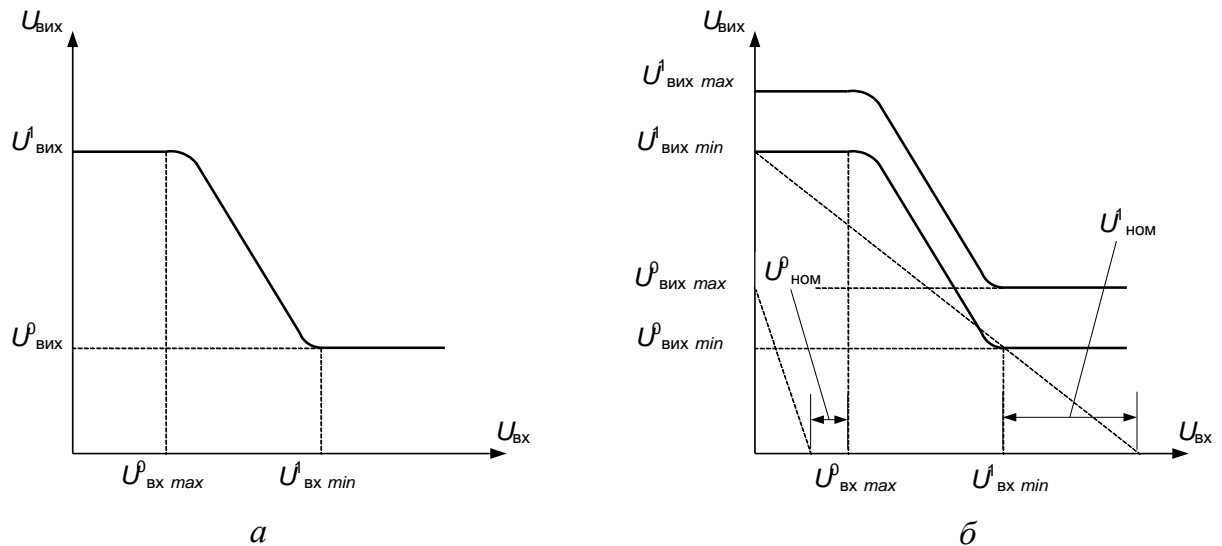


Рис. 2.2

Порівнюючи отримані точки на осі абсцис зі значеннями $U_{\text{вх max}}^0$ і $U_{\text{вх min}}^1$ визначають запаси перешкодостійкості за нульовим $U_{\text{пер}}^0$ і одиничним $U_{\text{пер}}^1$ сигналом на вході.

Часові діаграми напруг на вході і виході ІЛЕ показані на рис. 2.3.

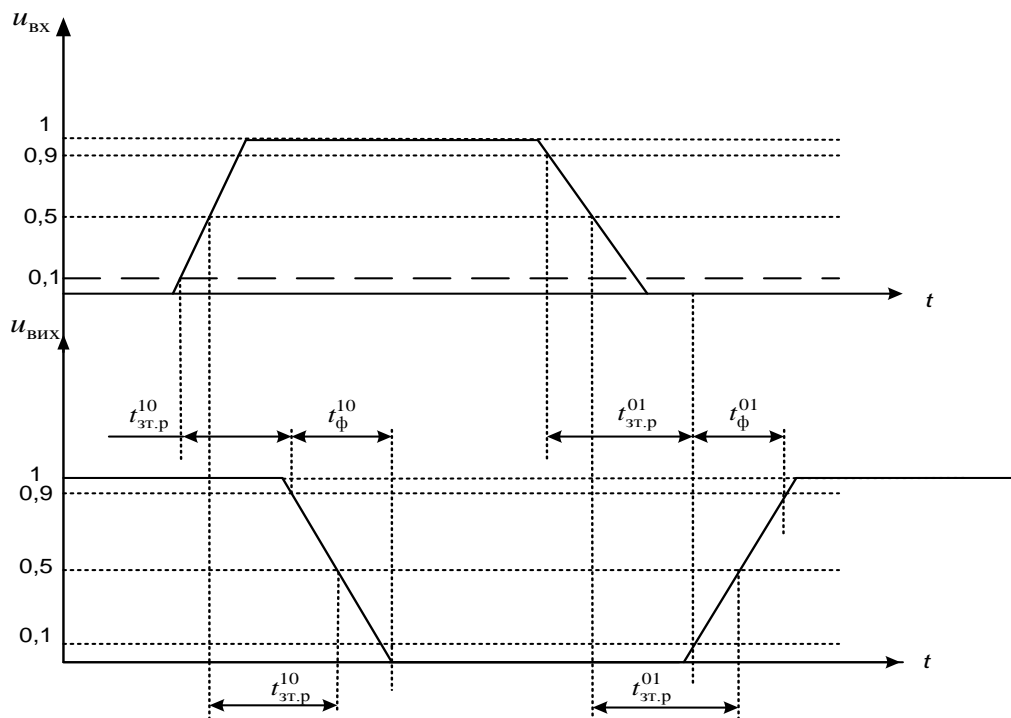


Рис. 2.3

До динамічних параметрів, які характеризують властивості мікросхеми в режимі переключення, відносяться:

- час затримки сигналу при включенні $t_{\text{зт.р}}^{10}$ – інтервал часу між вхідним і вихідним імпульсами при переході ІЛЕ від $U_{\text{вих}}^1$ до $U_{\text{вих}}^0$, вимірюваний або на рівні 0,5 амплітуди імпульсу, або на рівні порогу чутливості;
- час затримки сигналу при включенні $t_{\text{зт.р}}^{01}$ – інтервал часу між вхідним і вихідним імпульсами при переході ІЛЕ від $U_{\text{вих}}^0$ до $U_{\text{вих}}^1$, вимірюваний або на рівні 0,5 амплітуди імпульсу, або на рівні порогу чутливості;
- середній час затримки $t_{\text{зт.р.ср}} = 0,5(t_{\text{зт.р}}^{10} + t_{\text{зт.р}}^{01})$.

Інколи в якості параметрів ІЛЕ наводяться тривалості фронтів зростання і спаду вихідної напруги: t_{ϕ}^{01} і t_{ϕ}^{10} .

Основи булевої алгебри

Якщо логічна функція f – функція n змінних, то може бути 2^n різних наборів цих змінних. Через те, що двійкові змінні X_1, X_2, \dots, X_n в кожному наборі можуть приймати два значення, то можливі $N = 2^{2^n}$ значень функції.

Найбільш проста логічна функція однієї змінної (табл. 2.1); в цьому випадку $N = 2^{2^1} = 4$.

Таблиця 2.1

$f_i(x)$	X_i		Позначення	Назва функції
	0	1		
$f_0(x)$	0	0	0	Константа 0
$f_1(x)$	0	1	X	Змінна X
$f_2(x)$	1	0	\overline{X}	Заперечення змінної X
$f_3(x)$	1	1	1	Константа 1

Логічна функція двох змінних ($N = 2^{2^2} = 16$) представлена в табл. 2.2.

Основні операції алгебри логіки (булевої алгебри): кон'юнкція "І", диз'юнкція "АБО" і заперечення "НЕ". Розглянемо їх.

Таблиця 2.2

$f(X_1, X_2)$	X_1	0	0	1	1	Позначення	Назва функції
	X_2	0	1	0	1		
f_0		0	0	0	0	0	Константа 0

f_1		0	0	0	1	$X_1 \cdot X_2 = X_1 \wedge X_2$	Кон'юнкція (X_1 , X_2), логічний добуток, "І"
f_2		0	0	1	0	$X_1 \Delta X_2 = X_1 \cdot \bar{X}_2$	Заборона за X_2 , заперечення імплікації
f_3		0	0	1	1	X_1	Змінна X_1
f_4		0	1	0	0	$X_2 \Delta X_1 = \bar{X}_1 \cdot X_2$	Заборона за X_1
f_5		0	1	0	1	X_2	Змінна X_2
f_6		0	1	1	0	$X_1 \oplus X_2$	Сума за модулем "два"
f_7		0	1	1	1	$X_1 + X_2 = X_1 \vee X_2$	Диз'юнкція (X_1 , X_2), логічне додавання, "АБО"
f_8		1	0	0	0	$X_1 \downarrow X_2 = \overline{X_1 + X_2}$	Стрілка Пірса, "АБО-НЕ",
f_9		1	0	0	1	$X_1 \sim X_2 = \overline{X_1} \cdot \overline{X_2} + X_1 \cdot X_2$	Еквівалентність
f_{10}		1	0	1	0	\bar{X}_2	Заперечення X_2
f_{11}		1	0	1	1	$X_2 \rightarrow X_1 = X_1 + \bar{X}_2$	Імплікація від X_2 до X_1
f_{12}		1	1	0	0	\bar{X}_1	Заперечення X_1
f_{13}		1	1	0	1	$X_1 \rightarrow X_2 = \bar{X}_1 + X_2$	Імплікація від X_1 до X_2
f_{14}		1	1	1	0	$X_1 / X_2 = \overline{X_1 \cdot X_2}$	Штрих Шеффера, "І-НЕ"
f_{15}		1	1	1	1	1	Константа 1

Основні закони алгебри логіки

1. Комутативний закон: $a \cdot b = b \cdot a$; $a + b = b + a$.
2. Асоціативний (сполучний) закон: $a \cdot (b \cdot c) = (a \cdot b) \cdot c = a \cdot b \cdot c$;
 $a + (b + c) = (a + b) + c = a + b + c$.
3. Дистрибутивний (розподільний) закон: $a \cdot (b + c) = a \cdot b + a \cdot c$;
 $a + b \cdot c = (a + b) \cdot (a + c) = a \cdot a + a \cdot b + a \cdot c + b \cdot c = a + a \cdot b + a \cdot c + b \cdot c = a \cdot (1 + b + c) + b \cdot c = a + b \cdot c$.
4. Закон поглинання: $a + ab = a \cdot (1 + b) = a$; $a \cdot (a + b) = a$.
5. Закон склеювання: $a \cdot b + a \cdot \bar{b} = a$; $(a + b) \cdot (a + \bar{b}) = a$.

6. Закон де Моргана (інверсії):

$\overline{a + b} = \bar{a} \cdot \bar{b}$ - інверсія диз'юнкції є кон'юнкцією інверсій;

$\overline{a \cdot b} = \bar{a} + \bar{b}$ - інверсія кон'юнкції є диз'юнкцією інверсій.

7. Закон подвійної інверсії: $\overline{\bar{a}} = a$.

8. Правило множення на 1 та 0: $a \cdot 1 = a$; $a \cdot a = a$; $a \cdot 0 = 0$.

9. Правило складання з 1 та 0: $a + 1 = 1$; $a + a = a$; $a + 0 = a$.

10. Закон протиріччя: $a \cdot \bar{a} = 0$.

11. Закон виключення третього: $a + \bar{a} = 1$.

12. Сталі (*const*): $\bar{1} = 0$; $\bar{0} = 1$.

Лабораторна робота № 3

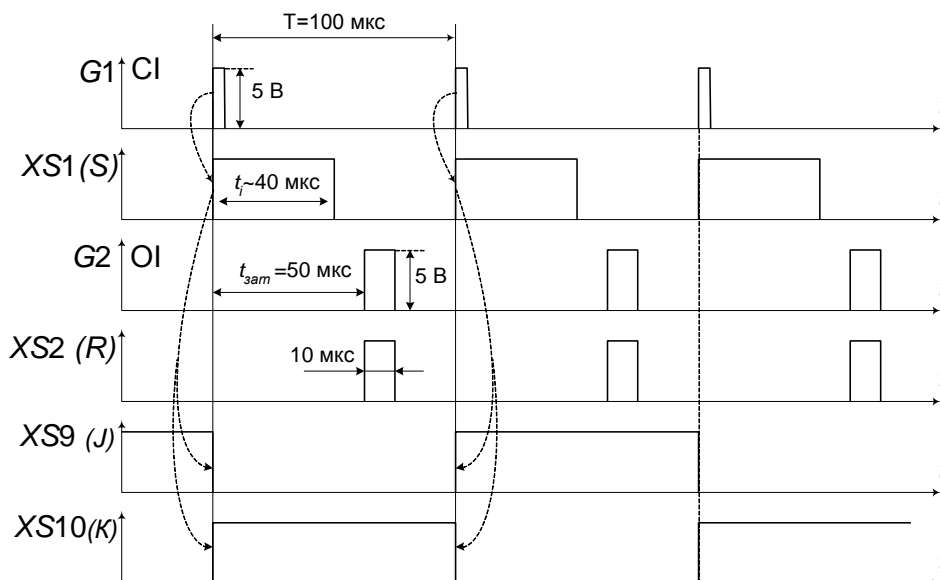
ТРИГЕРИ

Мета роботи - ознайомитися з принципом побудови та логікою роботи тригерів на інтегральних логічних елементах; визначити їх основні параметри.

Опис досліджуваної схеми

До лабораторної установки входять універсальний лабораторний стенд зі змінним модулем ТГ, генератор прямокутних імпульсів Г5-54 і осцилограф CI-55.

Досліджувані схеми RS -, S - і D - тригерів побудовані на мікросхемах $DD3$, $DD4$, JK - тригери - на мікросхемах $DD5... DD8$ (рис.3.1). RS -, S - і JK - тригери підключаються до джерела живлення перемикачами $S1$, $S2$, а JK - тригери - перемикачем $S9$. Мікросхеми $DD1$, $DD2$, $DD9$ формують з імпульсів, які надходять від генератора Г5-54 на роз'єми $G1$ й $G2$, синхроімпульси (CI) і основні імпульси (OI), керуючі сигнали виду $XS1$ (S), $XS2$ (R), $XS9$ (J), $XS10$ (K):



Робоче завдання

1. Вказівка. Встановити на генераторі Г5-54 частоту імпульсів $f = 10 \text{ кГц}$: основний імпульс (OI) позитивної полярності з амплітудою не більше 5 В і тривалістю $t_i = 10 \text{ мкс}$, затриманий на $t_{\text{зат}} = 50 \text{ мкс}$ відносно синхроімпульсу (CI) позитивної полярності з амплітудою також не більше 5 В . Використати зовнішню синхронізацію осцилографа сигналом $XS10$.

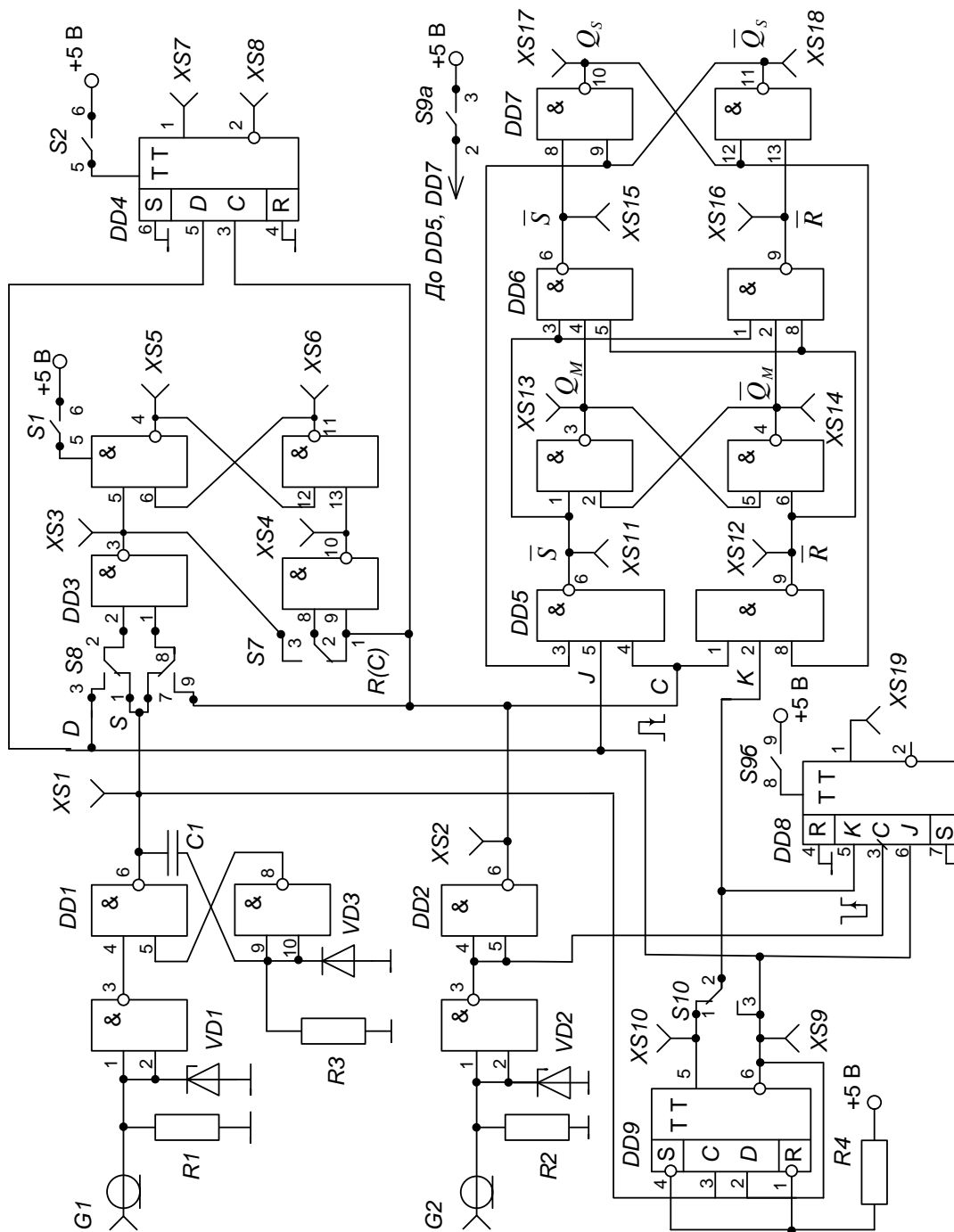


Рис. 3.1. Тригери на цифрових інтегральних мікросхемах

2. Дослідити RS- тригер. Зняти й побудувати часові діаграми (гнізда XS1-XS6) роботи RS- тригера при $R(XS2)S(XS1) \neq 1$ і $RS=1$ (для цього затримку основного імпульсу потрібно зменшити так, щоб сигнал $R(XS2)$ увійшов у зону сигналу $S(XS1)$). Визначити час затримки $t_{\text{зат}}^{10}$ перемикання тригера зі стану "1" в "0".

3. Дослідити S- тригер (S7- натиснути) при $R(XS2) S(XS1)=1$.

4. Дослідити D- тригер (S7, S8, S2 – натиснути), зібраний на логічних елементах DD3 і на мікросхемі DD4. Зняти й побудувати часові діаграми (гніздо XS9 - сигнал D; XS2 - сигнал C, XS3÷XS8). Визначити $t_{\text{зат}}^{10}$ і $t_{\text{зат}}^{01}$.

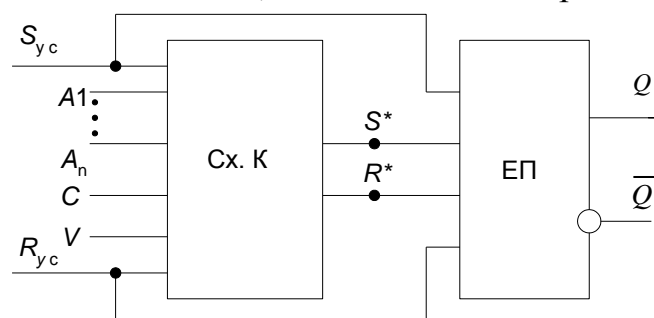
5. Дослідити JK- тригер (S9 – натиснути), зібраний на логічних елементах DD5,..., DD7 і на мікросхемі DD8. Зняти й побудувати часові діаграми (гнізда XS2 - сигнал C, XS9 - сигнал J, XS10 - сигнал K, XS11,..., XS19) в разі $JK \neq 1$ і $JK=1$ (S10- натиснути тільки для JK- тригера на DD8). Визначити $t_{\text{зат}}^{10}$ і $t_{\text{зат}}^{01}$.

Контрольні питання

1. Дати визначення тригера, призначення входів і виходів.
2. Класифікація логічних структур тригерних схем.
3. Пояснити роботу асинхронного RS- тригера на логічних схемах І-НЕ.
4. Яка відмінність RS-тригера з прямими входами від RS-тригера з інверсними входами.
5. Пояснити роботу S- тригера і його відмінність від RS- тригера.
6. Пояснити роботу D- тригера на логічних схемах І-НЕ.
7. Пояснити роботу асинхронного JK- тригера та його відмінність від RS- тригера.
8. Пояснити роботу синхронного двоступеневого JK- тригера.

Методичні вказівки

Тригер - це послідовністний пристрій (ПП) з двома стійкими станами, що містить елемент пам'яті (власне тригер) ЕП і схему керування Сх.К, у якого вихідні сигнали залежать не тільки від входних сигналів, прикладених у даний момент часу, але й від попереднього його стану. Тригерний пристрій має інформаційні $A_1...A_n$ входи, синхронізуючий (тактовий) вхід C, дозволяючий вхід V, установлювальні входи S_{yc} , R_{yc} , інформаційні входи ЕП S^* і R^* , два взаємно інверсні виходи Q і \bar{Q} .



Стан тригера, у якому напруга на виході Q висока U_a^1 , позначимо "1", а стан тригера, у якого напруга на виході Q низька U_a^0 , - "0". При надходженні інформаційного сигналу на вхід S^* (*Set* - встановлювати) тригер устанавлюється в стан "1" (тобто $Q=1$, $\bar{Q}=0$). При надходженні інформаційного сигналу на вхід R^* (*Reset*- відновлювати) тригер устанавлюється в стан "0" (тобто $Q=0$, $\bar{Q}=1$).

За способом функціонування розрізняють наступні типи тригерів: *RS*; *S*; *R*; *D*; *E*; *JK*. За способом запису інформації тригери поділяються на асинхронні і синхронні (тактовні). В асинхронних тригерах запис інформації здійснюється безпосередньо з надходженням інформаційного сигналу на його вхід, а у синхронних - при подачі дозволяючого (тактового, синхронізуючого) імпульсу на C вхід за рівнем чи за фронтом 1/0 (0/1). Тригери, синхронізуючі рівнем, можуть змінювати свій стан протягом тривалості синхроімпульсу (рівня синхросигналу) при надходженні відповідних інформаційних сигналів $A_1...A_n$, тобто, можуть перемикатися кілька разів за час дії одного синхроімпульсу. Під час паузи між синхроімпульсами стан такого тригера зберігається при будь-яких змінах керуючих сигналів. Тригери, синхронізовані фронтом, змінюють свій стан при надходженні на синхронізуючий вхід відповідного фронту 1/0 (0/1) синхроімпульсу, а при наступній дії рівня синхроімпульсу цей стан зберігається при будь-яких змінах керуючих сигналів $A_1...A_n$. За час дії одного синхроімпульсу тригер, синхронізований фронтом, може перемикатися тільки один раз.

Умовні літерні позначення тригерів: *JK*-типу - ТВ; *RS*-типу - ТР; *D*-типу - ТМ; *T*-типу - ТТ.

Тригери *RS*-типу. *RS*- тригером називають ПП з двома стійкими станами, що мають два інформаційних входи S і R такі, що в разі $S = 1$ а $R = 0$, тригер приймає стан "1" ($Q = 1$), а в разі $R = 1$ а $S = 0$ - стан "0" ($Q = 0$). Закон функціонування тригера *RS*- типу можна описати повною таблицею переходів 3.1,а, або спрощеною таблицею 3.1, б.

Як видно з табл. 3.1, а, при одночасному надходженні на входи R і

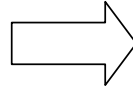
S логічної "1" тригер приймає невизначений стан (*), тому комбінація сигналів $RS=1$ для *RS*- тригера є забороненою.

Логічне рівняння *RS*- тригера має вигляд

$$Q_{n+1} = S_{n+1} + \bar{R}_{n+1} \cdot Q_n$$

Таблиця 3.1, а

t_n			t_{n+1}
R_n	S_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*



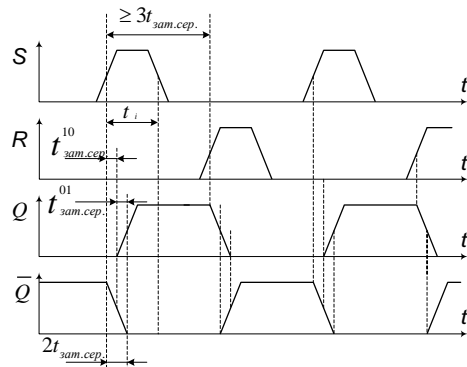
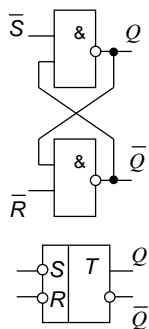
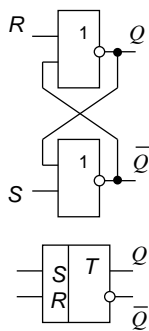
Таблиця 3.1, б

t_n		t_{n+1}
R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	*

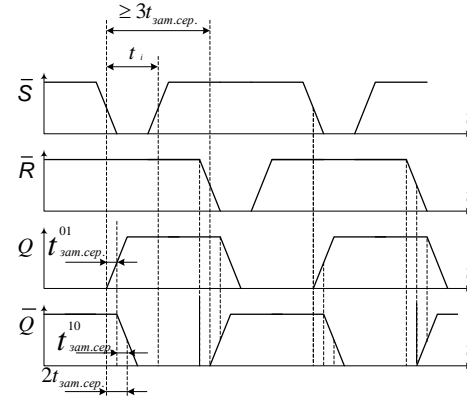
Це рівняння можна реалізувати на елементах АБО-НЕ чи І-НЕ, для чого його необхідно перетворити у відповідний базис, використовуючи аксіому подвійного заперечення і теорему де-Моргана:

$$\overline{Q_{n+1}} = \overline{S_{n+1} + \overline{\overline{\overline{R_{n+1} \cdot Q_n}}} = \overline{S_{n+1} + \overline{\overline{\overline{R_{n+1}}} + \overline{\overline{\overline{Q_n}}}};$$

$$Q_{n+1} = \overline{\overline{\overline{S_{n+1} + \overline{\overline{\overline{R_{n+1} \cdot Q_n}}}}} = \overline{\overline{\overline{S_{n+1}}} \cdot \overline{\overline{\overline{R_{n+1}}} \cdot \overline{\overline{\overline{Q_n}}}}.$$



а



б

Рис. 3.2

Схеми асинхронних RS -тригерів на логічних елементах АБО-НЕ і І-НЕ, їх умовні зображення та часові діаграми приведені на рис. 3.2, а, та 3.2, б.

Для RS - тригера на ЛЕ І-НЕ є забороненою комбінація $\bar{R} + \bar{S} = 0$.

Для сталого функціонування тригера довжина сигналів t_i на входах R і S повинна бути більшою ніж загальна затримка перемикання ЛЕ обох пліч тригера, тобто:

$$t_i > 2t_{\text{зат.cep.}} + t_{\text{зат.cep.}}^{10} + t_{\text{зат.cep.}}^{01}$$

Максимальна робоча частота перемикання ($f_{\text{макс}} = 1/3t_{\text{зат.cep.}}$) визначається мінімально допустимим часовим інтервалом між послідовними входними сигналами мінімальної довжини (якщо $t_i > 2t_{\text{зат.cep.}}$), які надходять по чергові на входи R і S тригера.

RS - тригери є базовими елементами більш складних тригерних пристроїв.

Синхронні RS –тригери, які синхронізуються рівнем (рис. 3.3, а), мають на вході кожного плеча додаткові схеми збігу, одні входи яких об'єднані і служать входом C для тактових (синхронізуючих) імпульсів $/TI/$, інші входи схем збігу є інформаційними входами запису "1" (S) і "0" (R). Таким чином, інформація, що надходить на вхід S або R , може бути передана на тригер тільки в разі надходженні тактового імпульсу. При комбінації сигналів $SC=1 \rightarrow Q=1$; $RC=1 \rightarrow Q=0$, а комбінація $RSC=1$ - заборонена. Цей недолік можна виключити введенням перехресних зв'язків, зображених на мал. 3.3, а пунктиром,

тому що в разі $S=R=C=1$ рівень логічного "0" на виходах $DD1$ і $DD2$ не може з'явитися строго в той самий момент часу. При $C=1$ у будь-який момент часу тригер реагує на рівні, що діють на інформаційних входах S і R .

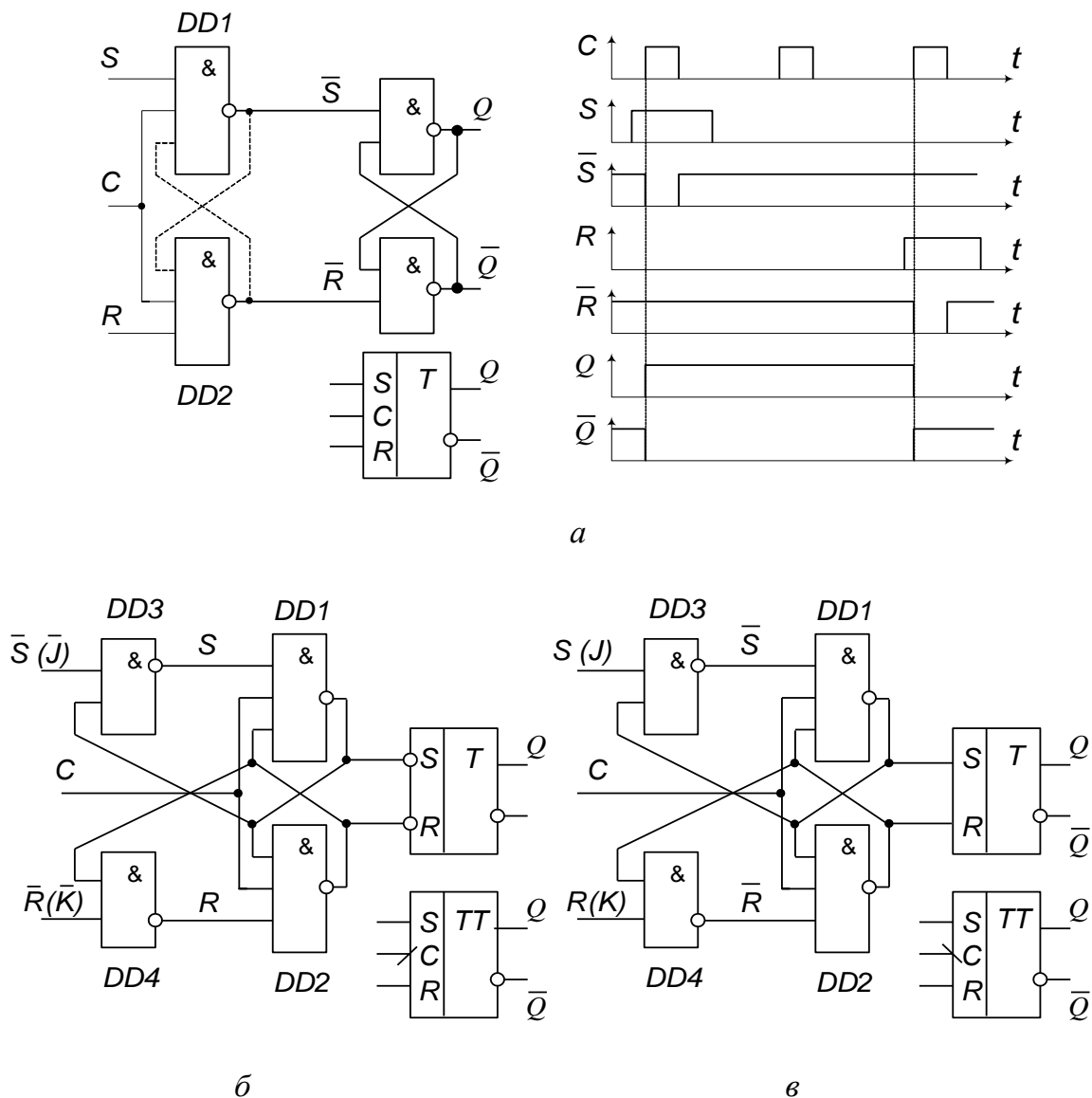


Рис. 3.3

Для одержання синхронного RS -тригера, синхронізованого фронтом, досить доповнити схему елементами І-НЕ і зв'язками (рис. 3.3, б). В разі, якщо $\bar{S}=0$ а $\bar{R}=1$ і зміненні рівня сигналу на вході C з "0" на "1" на виході елемента $DD1$ утвориться рівень "0". Цей рівень подається на вхід елемента $DD3$, забезпечуючи на його виході рівень "1" незалежно від наступних значень рівня на вході S . Таким чином, відбувається логічне відключення входу \bar{S} , і ніякі наступні зміни рівнів на входах \bar{S} і \bar{R} тригером не сприймаються, поки на вході C не відбудеться новий перехід

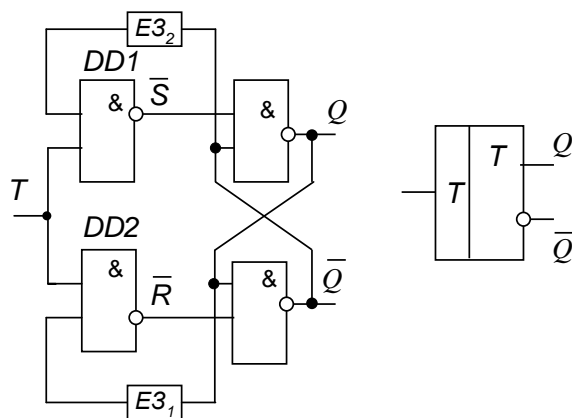


Рис. 3.4

рівнів з "0" на "1", На мал. 3.3, в зображена схема синхронного RS-тригера на елементах АБО-НЕ, синхронізуючого фронтом з "1" на "0".

Тригери T-типу. T-тригером (лічильним тригером) називають ПП з двома стійкими станами та одним інформаційним T-входом. T-

Таблиця 3.2

T_n	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

тригер змінює свій стан на протилежний після надходження кожного лічильного імпульсу на T вхід. Логіка роботи асинхронного T-тригера подана таблицею переходів (табл. 3.2) і описується логічним рівнянням

$$Q_{n+1} = \overline{T}_n Q_n + T_n \overline{Q}_n .$$

Схема T-тригера на елементах І-НЕ на основі синхронного RS-тригера зображена на рис. 3.4. Елементи затримки (ЕЗ), включені в кола зворотних зв'язків між виходами тригерів і їхніми інформаційними входами, забезпечують роботу схем при затримці сигналу t_3 у ЕЗ більше тривалості тактового імпульсу t_i : $t_{31(2)} > t_i > 2t_{\text{зат.сер.}}$.

Тригер D- типу (тригер затримки) - це ПП з двома стійкими станами, одним інформаційним входом D (delay – затримка) і одним тактовим входом C. Схема D-тригера зображена на рис. 3.5, а синхронізується сигналом логічної "1", а схема D-тригера на рис. 3.5, б – сигналом логічного "0". Таблиця переходів D- тригера синхронізуемого сигналом логічної «1» приведена в табл. 3.3.

Таблиця 3.3

C_{n+1}	D_n	Q_n	Q_{n+1}
0	0	0	0
0	1	0	0
1	0	1	0
1	1	1	1

Стан прямого виходу Q повторює стан входу D після надходження тактового імпульсу, тобто в наступному такті.

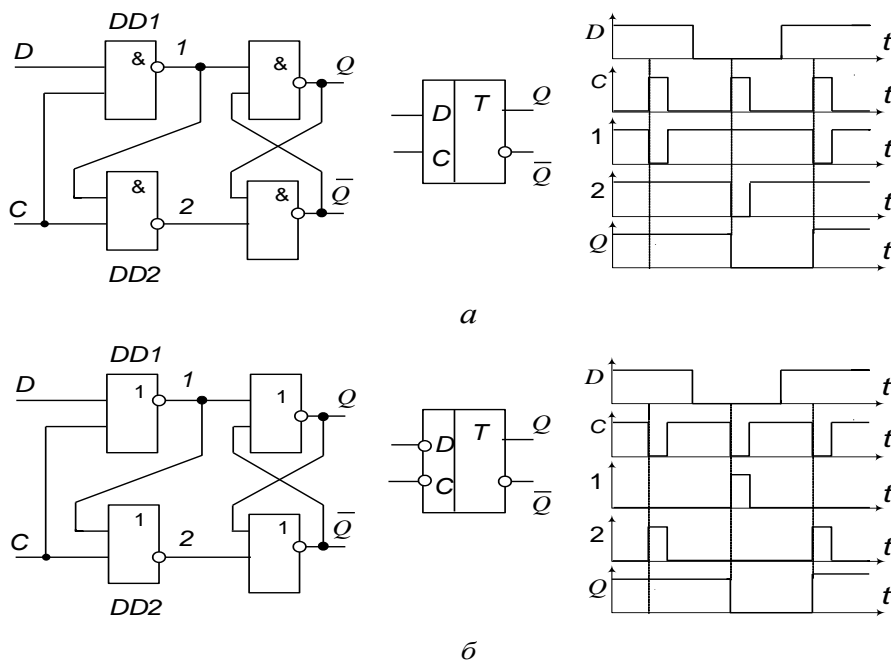


Рис. 3.5

Тригери JK - типу. JK -тригер має два інформаційні входи J і K та вхід синхронізації C . Якщо $J \cdot K = 1$, то тактовий імпульс здійснює інверсію попереднього стану (тобто, при $J \cdot K = 1$, $Q_{n+1} = \overline{Q}_n$), а в інших випадках функціонує як RS -тригер, при цьому вхід J еквівалентний входу S , а вхід K - входу R . Логічне рівняння JK -тригера має вигляд $Q_{n+1} = \overline{K}_n Q_n + J_n \overline{Q}_n$. Найпростіший варіант JK -тригера зображений на рис. 3.6, а; реалізація JK - тригера на елементах І та І-НЕ - на рис. 3.6, б. При надходженні на вхід J або K сигналу логічної "1" тригер через відповідну схему збігів встановлюється в одиничний, якщо $J=1$, чи нульовий, якщо $K=1$, стан.

В разі $JK = 1$ тригер завжди переходить у протилежний стан: $Q_{n+1} = \overline{Q}_n$, тобто в даному випадку принцип роботи JK -тригера аналогічний роботі тригера T -типу (див. рис. 3.4). Тригер JK -типу відноситься до розряду універсальних тригерів, оскільки він може функціонувати як RS -, D - і T -тригери (рис. 3.6, в-д). На рис. 3.3, б зображена схема синхронного JK -тригера на елементах І-НЕ, синхронізуючого фронтом з "0" на "1", а на рис.

3.3, в - на елементах АБО-НЕ, синхронізуючого фронтом з "1" на "0".

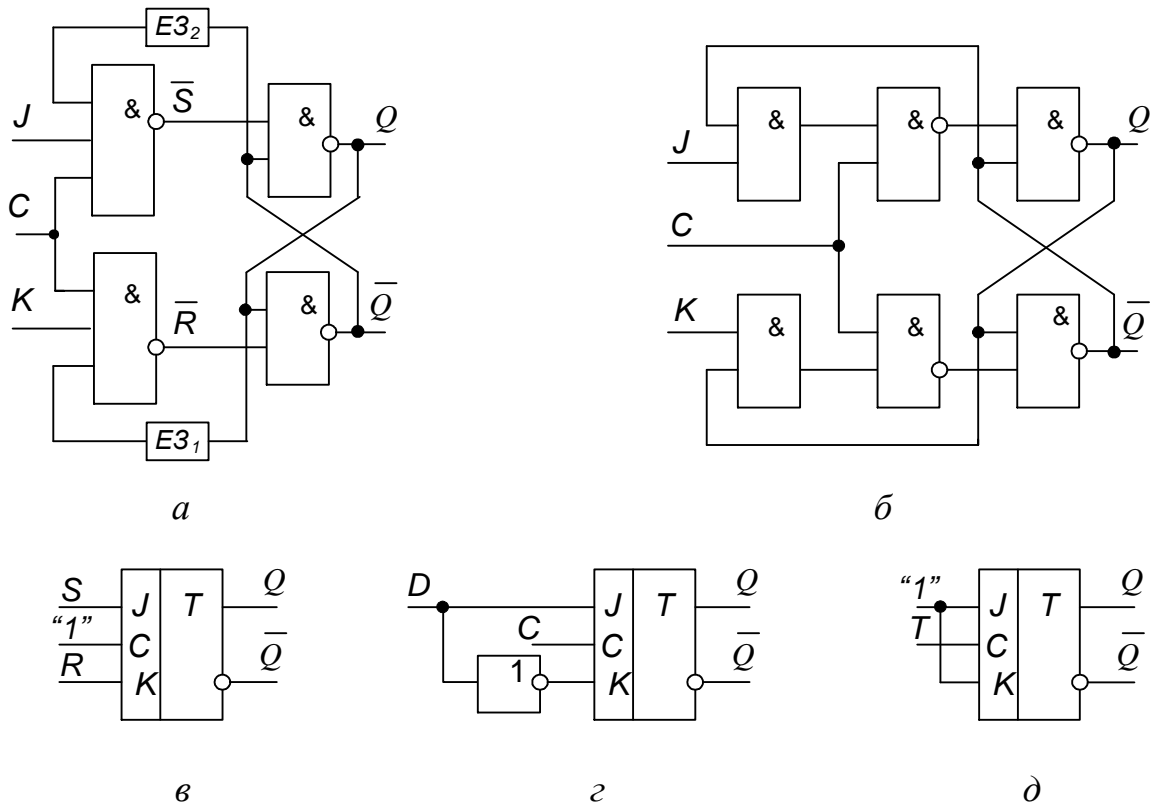


Рис. 3.6

Порядок роботи JK -тригера визначає таблиця станів (табл. 3.4).

Таблиця 3.4

C	J_n	K_n	Q_{n+1}
0	*	*	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	\bar{Q}_n

В регістрових і лічильних схемах широко використовуються двоступеневі тригерні пристрої (ДТП), як правило, виконані на основі синхронних тригерів RS -, D -, і JK - типів за схемою « M - S ». У відповідності з цим методом ДТП виконуються на двох тригерах – M (*Master* – основний) і S (*Slave* – допоміжний). Основний тригер M приймає інформацію, а допоміжний тригер S фіксує стан ДТП. При цьому основний і допоміжний тригери можуть бути або однотипними (обидва тригери RS - або D - типу), або різнотипними.

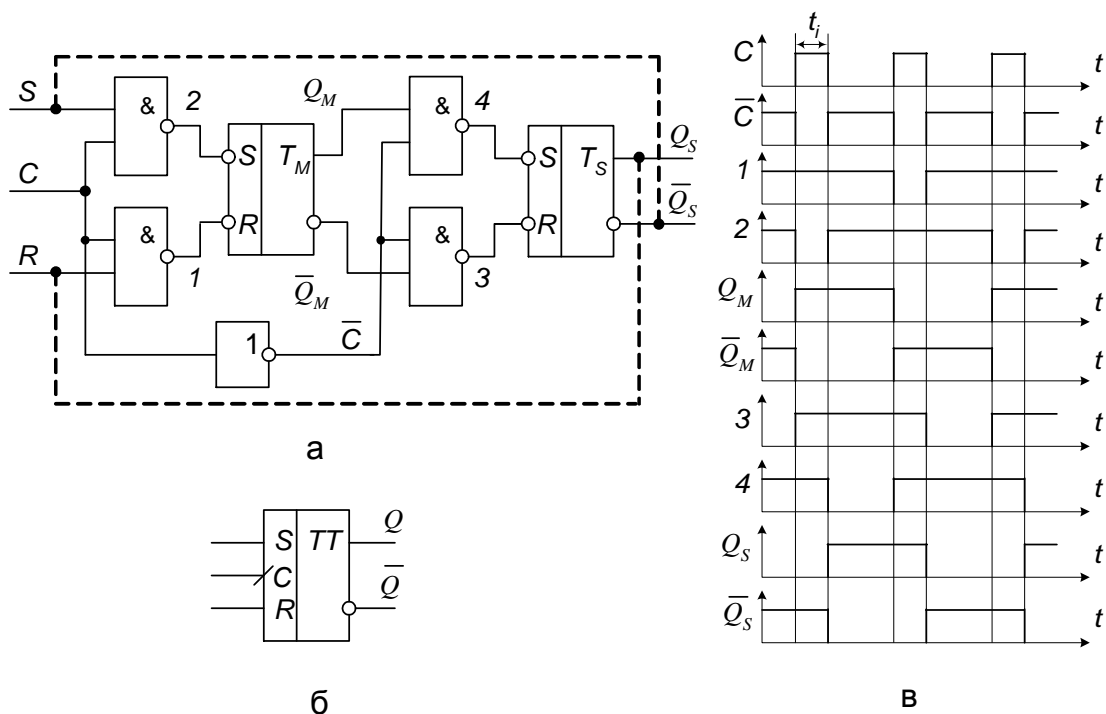


Рис. 3.7

Двоступеневі тригери RS - типу. Один із варіантів схеми ДТП RS - типу, побудованого за схемою « M - S », зображений на рис. 3.7. Особливість цієї схеми є в тому, що в коло між основним T_M - тригером і допоміжним T_S - тригером включається інвертор, який забезпечує однотактний режим ДТП і виконує блокування перезапису інформації в допоміжний тригер під час запису інформації в основний тригер. При цьому RS - тригер синхронізується сигналом C логічної «1». Для запису в тригер «1» ($Q_s=1$) на його входи необхідно подати комбінацію сигналів $S=1$, $R=0$. При надходженні тактового імпульсу $C=1$ (за його переднім фронтом 0/1) основний тригер по входу \bar{S} встановиться у стан «1», а допоміжний тригер залишиться у початковому стані «0» ($Q_s=0$). Після закінчення синхроімпульсу $C=0$ (за його заднім фронтом 1/0) на виході інвертора через проміжок часу $\Delta t = t_{\text{зат.сер.}}$ з'явиться рівень «1» і допоміжний тригер прийме стан основного. Для запису в тригер стану «0» ($Q_s=0$) на його входи необхідно подати комбінацію сигналів $R=1$ і $S=0$. Комбінація сигналів $R=S=C=1$ для двоступеневого RS - тригера є заборонена. Для сталої роботи схеми необхідно, щоб довжина тактового імпульсу була $t_i \geq 3t_{\text{зат.сер.}}$.

Для побудови T - тригера на основі двоступеневого RS - тригера виходи Q_s і \bar{Q}_s підключають відповідно до входів R і S , а на тактовий вхід C подають лічильні імпульси. Робота T - тригера аналогічна роботі двоступеневого RS - тригера, тільки у даному випадку роль інформаційних сигналів виконують сигнали з виходів Q_s і \bar{Q}_s допоміжного тригера. При

цьому кожний лічильний імпульс забезпечує переведення основного тригера у стан, протилежний допоміжному, а після закінчення дії імпульсу на вході C допоміжний тригер приймає стан основного. Швидкодія ДТП типів RS і T визначається, в разі $t_i \geq 3t_{\text{зат.сер.}}$, значенням $F_p = 1/6t_{\text{зат.сер.}}$.

Інший варіант схеми двотактного RS - тригера з забороненими зв'язками на елементах І-НЕ зображений на рис. 3.8. Особливість цієї схеми у тому, що під час дії ТІ одночасно із записом вхідної інформації в основний тригер з його елементів $DD1$ і $DD2$ поступають заборонні сигнали на елементи $DD3$ і $DD4$ допоміжного тригера, який блокує перезапис інформації з основного тригера в допоміжний. Після припинення дії тактового імпульсу ця блокування знімається і відбувається запис стану основного тригера в допоміжний. Схему такого тригера на елементах АБО-НЕ будують аналогічно, але керується вона тактовим імпульсом логічного «0».

Для роботи схеми у режимі T - тригера необхідно подати сигнали з виходів Q_s і \bar{Q}_s на відповідні інформаційні R і S входи. Для асинхронного

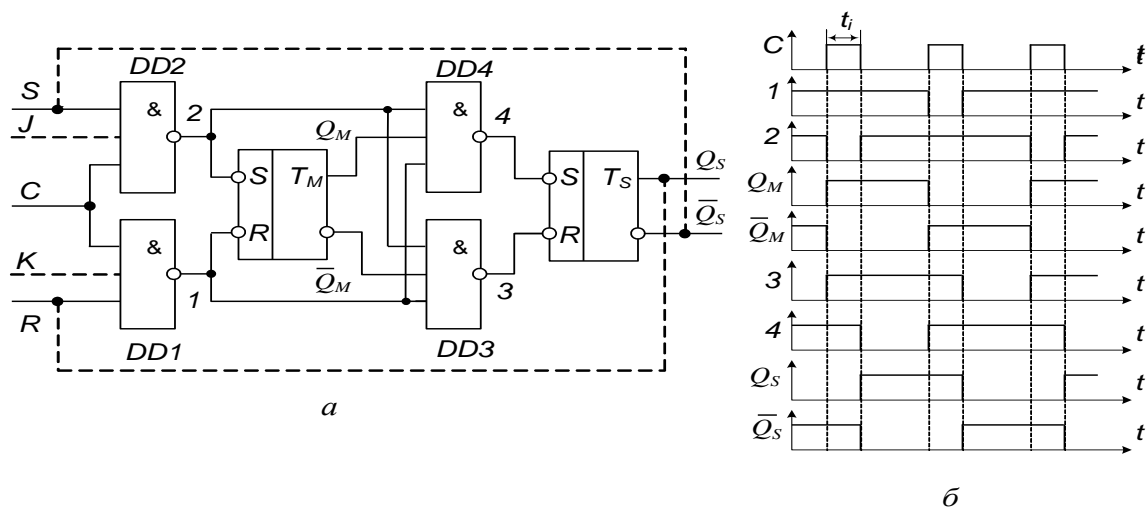


Рис. 3.8

встановлення двоступеневих RS - тригерів використовуються входи \bar{S} і \bar{R} основного тригера, керовані рівнями «0» для схем на елементах І-НЕ і «1» - для схем на елементах АБО-НЕ.

Двоступеневі JK-тригери. Двоступеневі JK - тригери реалізуються на двоступеневих RS тригерах підключенням Q_s і \bar{Q}_s до виходів R і S відповідно і додаванням двох входів J і K паралельно входам S і R (рис. 3.8). При $C=0$ схема знаходиться в стані Q незалежно від рівнів сигналів на входах J і K , тому що закриті $DD1$ і $DD2$. При $J=0$, $K=C=1$ тригер встановлюється в стан «0», а при $J=C=1$ і $K=0$ – в стан «1». При $J=K=C=1$ (тобто при об'єднанні J і K входів і подачі на них «1») отримаємо схему T -тригера.

Лабораторна робота № 4

ЛІЧИЛЬНИКИ

Мета роботи - дослідити схемні особливості і принцип роботи двійкових лічильників послідовного та паралельного типів, двійково-десятькового лічильника, лічильника з довільним коефіцієнтом лічби.

Опис досліджуваної схеми

До лабораторної установки входять універсальний лабораторний стенд зі змінним модулем СЧ, генератор прямокутних імпульсів Г5-54 та осцилограф СІ-55.

Зібрані досліджувані схеми (рис. 4.1) лічильників: послідовного типу - на мікросхемах $DD1$, $DD2$, паралельного типу – $DD3 \dots DD5$, двійково-десятькового – $DD11$, з довільним коефіцієнтом лічби - $DD6 \dots DD9$. Підключення до джерела живлення здійснюється за допомогою перемикачів: $S1$ - лічильника послідовного типу, $S2$ - паралельного типу, $S3$ - з довільним коефіцієнтом лічби, $S4$ – двійково-десятькового. Перемикачами $S7(2^0)$, $S8(2^1)$, $S9(2^2)$ встановлюється двійковий код N для завдання необхідного коефіцієнта лічби $K_{лч}=N+1$. Перемикач $S6$ забезпечує початкове встановлення двійково-десятькового лічильника в стан N , обумовлений положенням перемикачів $S7$, $S8$, $S9$, для реалізації лічильника з коефіцієнтом лічби $K_{лч}=10-N$.

Робоче завдання

1. Вказівка. Встановити на генераторі Г5-54 частоту надходження імпульсів $f=100$ кГц, основний імпульс ОІ позитивної полярності з амплітудою не більше 5 В і тривалістю 1 мкс і подати на роз'єм XW2. Використати зовнішню синхронізацію осцилографа сигналами: XS4- для лічильника послідовного типу, XS8 - паралельного типу, XS11- з довільним коефіцієнтом лічби, XS17- двійково-десятькового лічильника.

2. Дослідити двійковий лічильник послідовного типу. Зняти і побудувати часові діаграми (XS1, ..., XS4) роботи лічильника. Визначити час встановлення коду лічильника $t_{вст.}$.

3. Дослідити двійковий лічильник паралельного типу, зняти і побудувати часові діаграми (XS1, XS5, ..., XS6) роботи лічильника. Визначити $t_{вст.}$.

4. Дослідити лічильник з довільним коефіцієнтом лічби. Зняти і побудувати часові діаграми (XS1, XS9, ..., XS12) для $0 < N < 7$.

5. Дослідити двійково-десятьковий лічильник. Зняти і побудувати часові діаграми (XS1, XS13, ..., XS18) для $N=0$ і $0 < N < 10$.

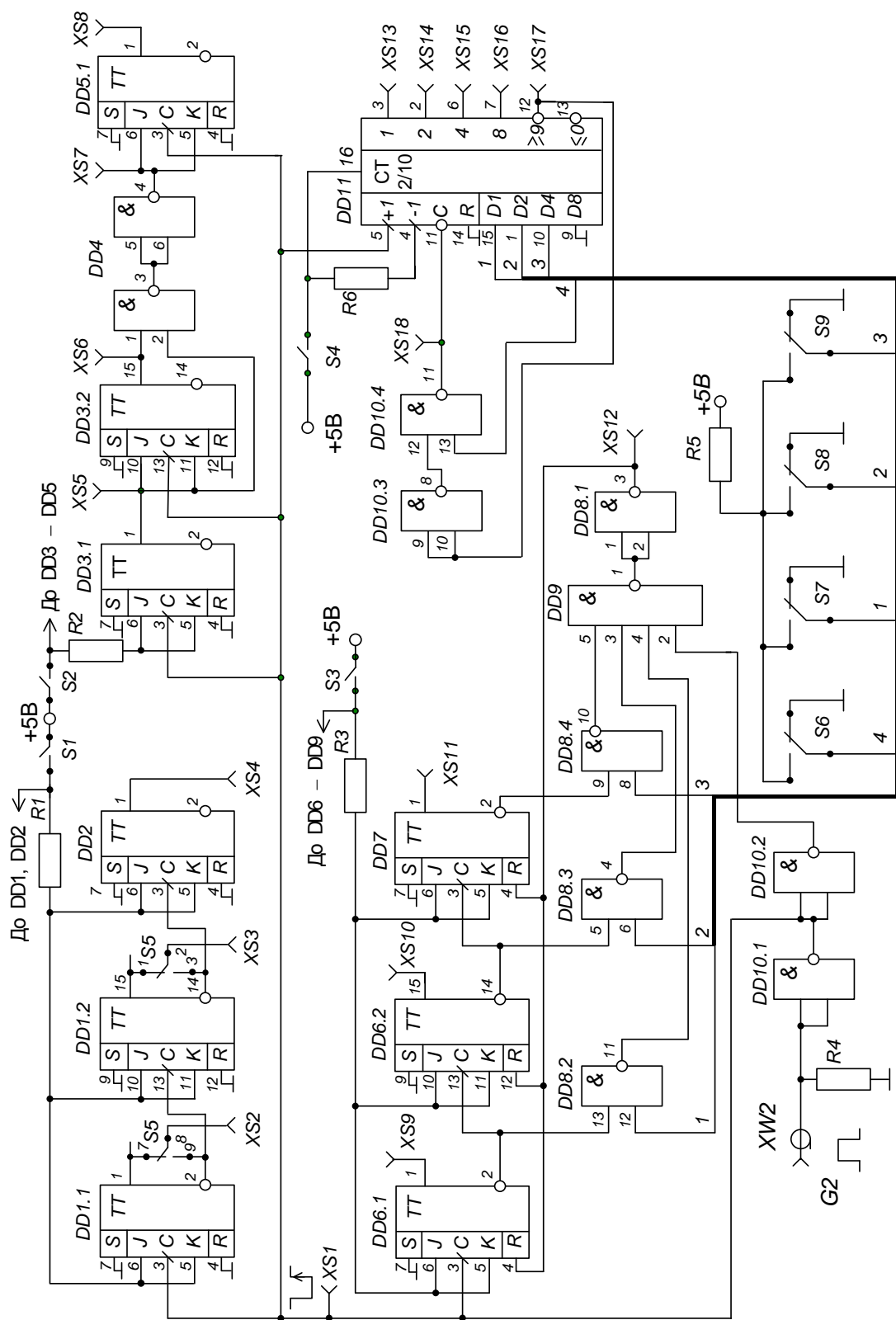


Рис. 4.1

Контрольні запитання

1. Наведіть області застосування лічильників.
2. Сформулюйте ознаки класифікації лічильників.
3. Назвіть основні параметри лічильників і дайте їх визначення.
4. Поясніть роботу двійкового додавального лічильника послідовного типу.
5. Поясніть роботу двійкового додавального лічильника паралельного типу.
6. За якими правилами організуються зв'язки між тригерами додавального і віднімального лічильників?
7. Поясніть способи побудови лічильників з довільним модулем лічби.

Методичні вказівки

Лічильники це пристрої, сигнали на виході яких у відповідному коді відображають число імпульсів, поданих на вхід.

Лічильник являє собою ланцюг з'єднаних між собою T -тригерів, кожен з яких є розрядом лічильника. Лічильник, утворений ланцюгом із m тригерів, може полічити за один цикл у двійковому коді 2^m імпульсів. Це число називають коефіцієнтом (модулем) лічби $K_{лч}$, який визначає цикл роботи лічильника, після якого його стан повторюється. Тому число вхідних імпульсів і стан лічильника (записане в нього число) однозначно визначені тільки для першого циклу.

Лічильники можуть працювати у трьох режимах: керування, накопичення і ділення. У режимі керування зчитування інформації виконується після кожного вхідного лічильного імпульсу. У режимі накопичення виконується підрахунок числа імпульсів протягом певного часу. У режимі ділення (перерахунку) частота імпульсів на виході останнього розряду лічильника в $K_{лч}$ разів менше, ніж частота імпульсів, що поступають на його вхід.

Лічильники класифікують за такими ознаками:

- за коефіцієнтом лічби: двійкові ($K_{лч}=2^m$), двійково-десяткові ($K_{лч}=10$), з довільним коефіцієнтом лічби ($K_{лч} \neq 2^m$);
- за напрямком лічби: додаючі, віднімаючі і реверсивні;
- за способом організації міжрозрядних зв'язків: послідовні (асинхронні), паралельні (синхронні) і комбіновані.

Лічильники характеризуються такими основними параметрами:

- швидкодією, яка визначається максимальною частотою вхідних імпульсів $f_{лч}$;
- часом встановлення коду $t_{вст}$, який відрховується від початку вхідного імпульсу до моменту отримання нового стану лічильника.
- коефіцієнтом лічби (перерахування) $K_{лч}$;

Послідовні лічильники характеризуються тим, що керуючими сигналами для старших розрядів служать сигнали, що знімають з інформаційних

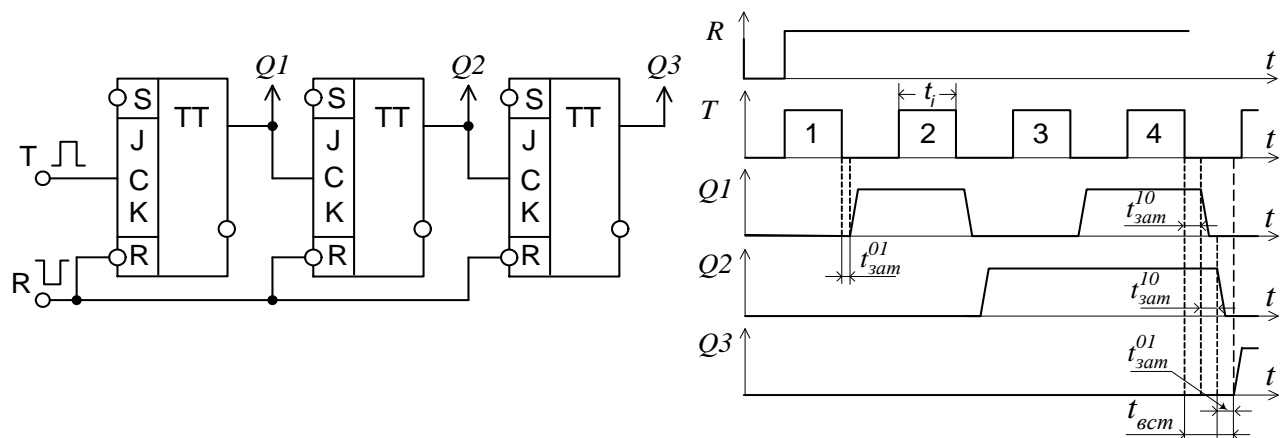


Рис. 4.2

виходів молодших розрядів, а лічильні імпульси надходять на вхід першого розряду (рис. 4.2). Для таких двійкових лічильників максимальна частота надходження лічильних імпульсів визначається з співвідношення $f_{лч} = 1/(t_i + t_{вст})$, де t_i - тривалість лічильних імпульсів; $t_{вст} = nt_{зат.ср}$ - час встановлення коду; n - число тригерів; $t_{зат.ср} = 0,5(t_{зат}^{01} + t_{зат}^{10})$ - середня

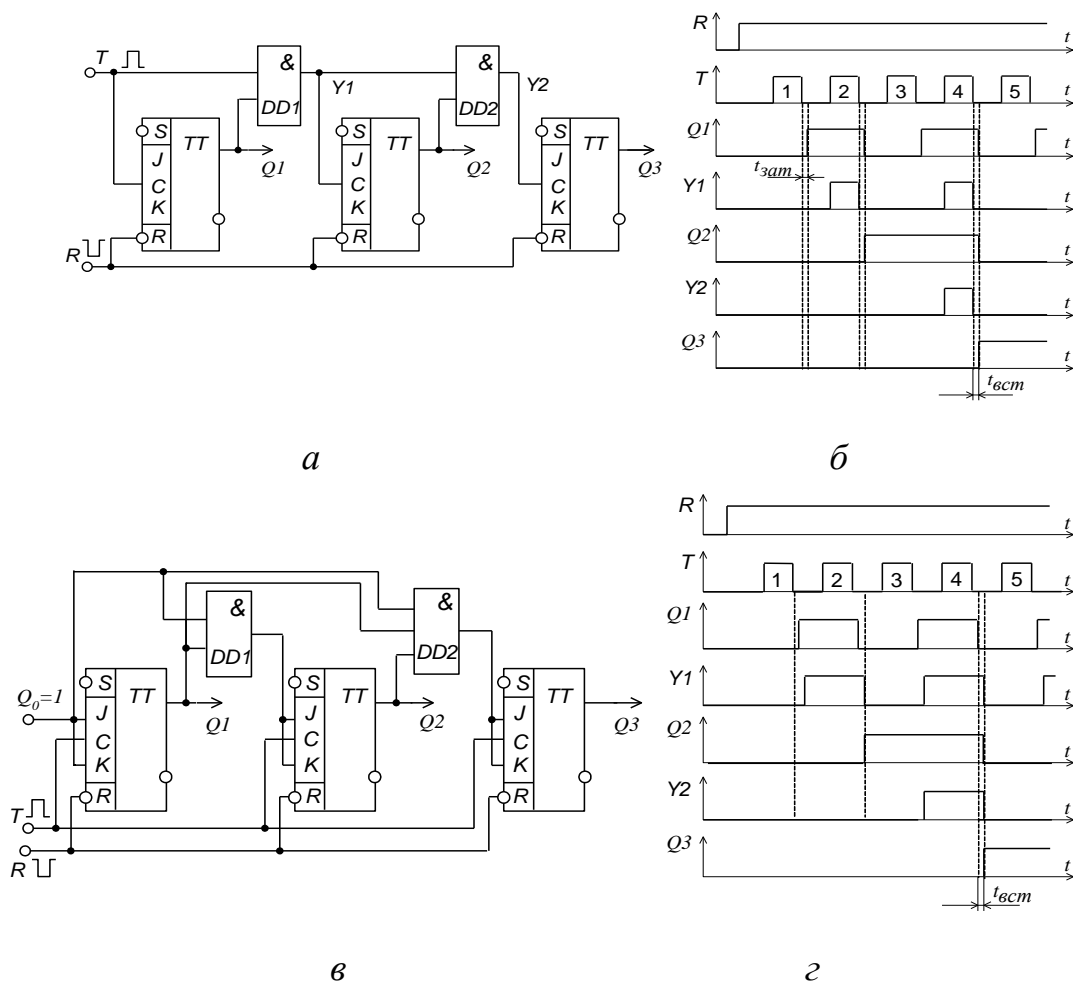


Рис. 4.3

затримка перемикання одного тригера. Перевага послідовних лічильників – простота схеми: збільшення розрядності виконується підключенням необхідного числа тригерів. До недоліків послідовних лічильників відносяться порівняно низька швидкодія та її залежність від числа розрядів.

В паралельних лічильниках (рис. 4.3) лічильні імпульси подаються на входи всіх розрядів одночасно, а стан n -го розряду змінюється тільки при певному стані попередніх розрядів. Для цього типу лічильників максимальна частота проходження $f_{лч} = 1/(t_i + t_{вст})$, де $t_{вст} = t_{зат\ ср}$. Перевага паралельних лічильників - висока швидкодія, тому що $t_{вст}$ не залежить від числа розрядів; недолік - необхідність додаткових схем збігу, число входів яких дорівнює n (де n - порядковий номер розряду лічильника), і нерівномірне навантаження на виходи тригерів.

Віднімаючі лічильники призначені для одержання різниці між числом N , записаним у лічильнику, і числом n імпульсів, що надходять на його вхід T (рис. 4.4). На відміну від додаючих лічильників у віднімаючих лічильниках керуючими сигналами для старших розрядів служать сигнали, що знімають з інверсних виходів молодших розрядів.

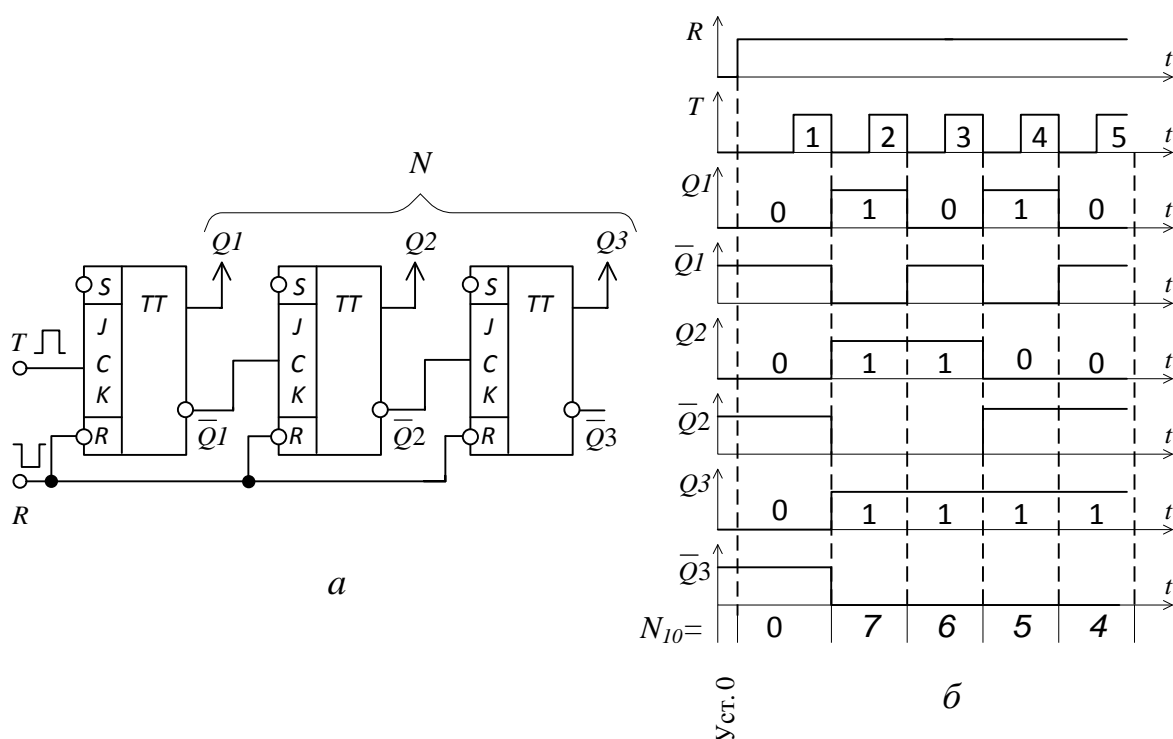


Рис. 4.4

Реверсивні лічильники (рис. 4.5) дозволяють виконувати операції додавання і віднімання імпульсів. Залежно від сигналу керування V лічильні входи наступних тригерів з'єднуються або із прямими, або з інверсними інформаційними виходами попередніх. В режимі додавання ($+V=1$; $-V=0$) відкриваються елементи $DD1$ і $DD2$ і з надходженням кожного лічильного імпульсу показання лічильника буде збільшуватися на одиницю. В режимі віднімання ($+V=0$, $-V=1$) відкриваються елементи $DD2$ і $DD5$ і при надходженні кожного лічильного імпульсу стан лічильника буде зменшуватися на одиницю.

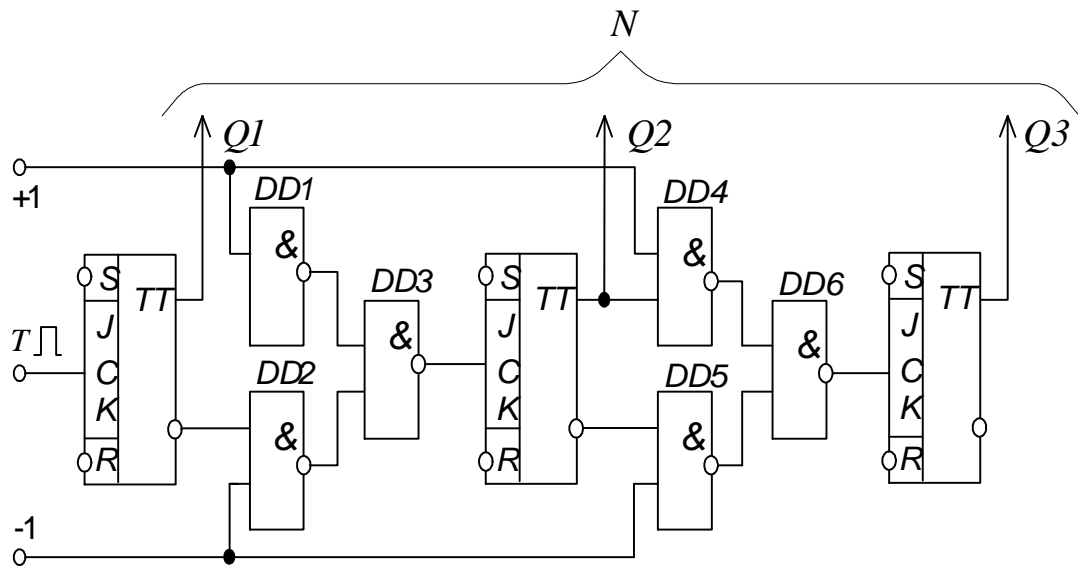


Рис. 4.5

Лічильники з довільним коефіцієнтом лічби $K_{лч} \neq 2^n$ виконуються на основі двійкових лічильників. Принцип роботи таких лічильників полягає у виключенні “зайвих” стійких M станів у двійкового лічильника з $K_{лч}=2^n$, при цьому число заборонених станів $M=2^n-K_{лч}$.

Лічильники з довільним коефіцієнтом лічби за способом побудови діляться на лічильники з природним і довільним порядком лічби. В лічильниках з природним порядком лічби підрахунок починається з “0” і закінчується числом $K_{лч}-1$, потрібний коефіцієнт лічби забезпечується схемним блокуванням переносу (примусовим переводом лічильника в нульовий стан). На рис. 4.6 показана схема лічильника з природним порядком лічби і регульованим коефіцієнтом перерахування; на рис. 4.7, а – двійково-десятьового паралельного лічильника на JK - тригерах; на рис. 4.7, б – двійково-десятьового послідовного лічильника.

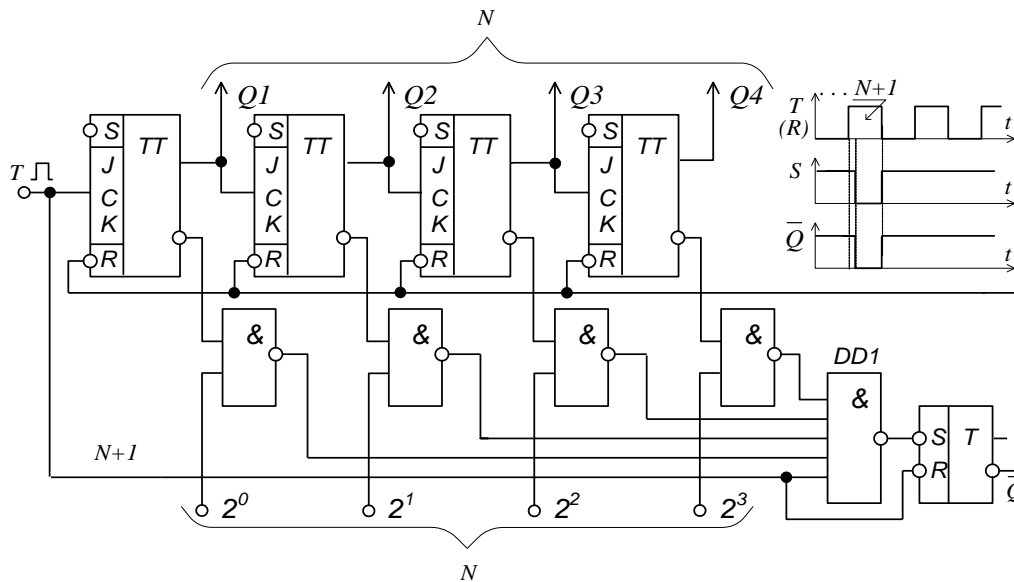
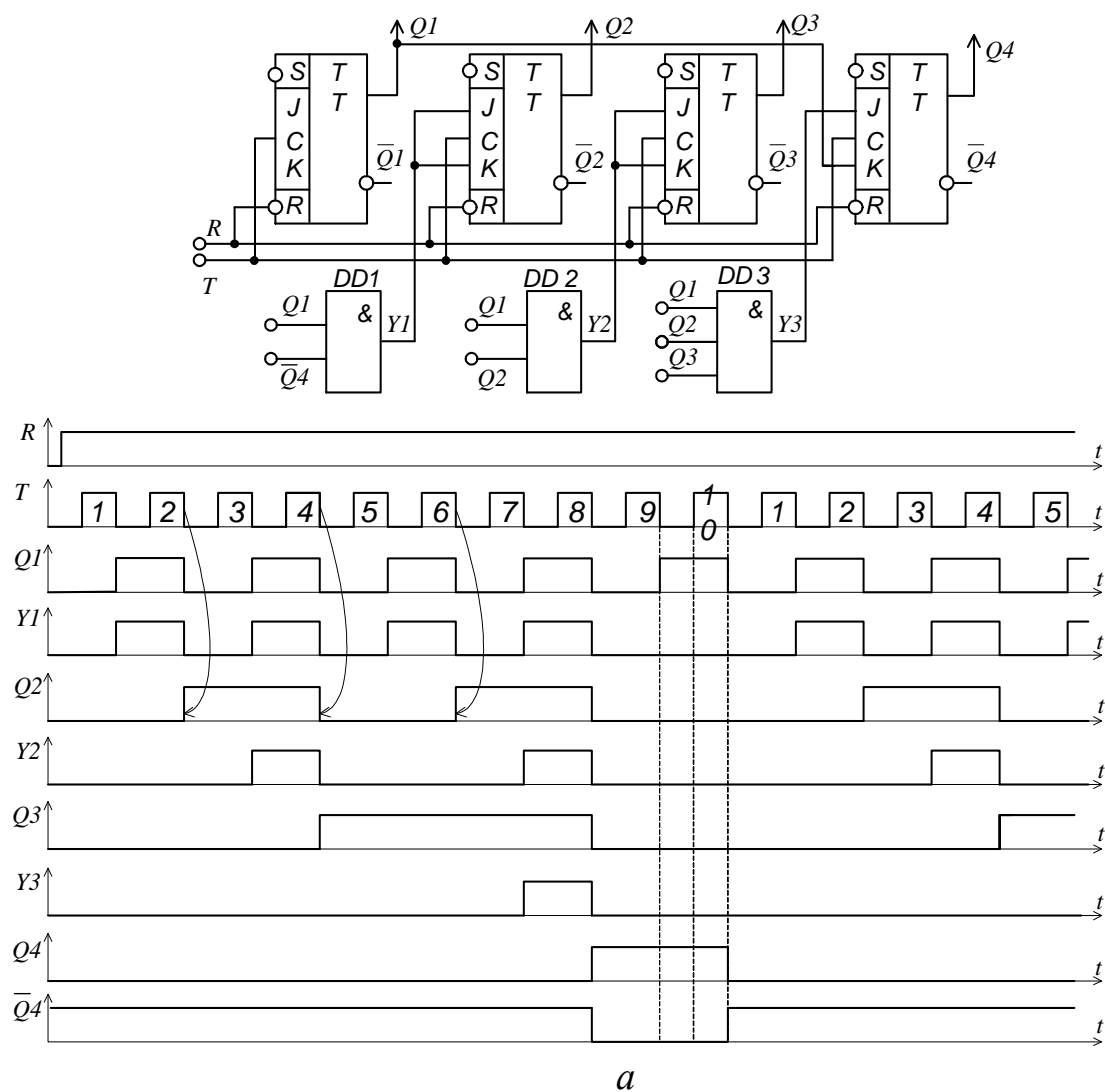


Рис. 4.6

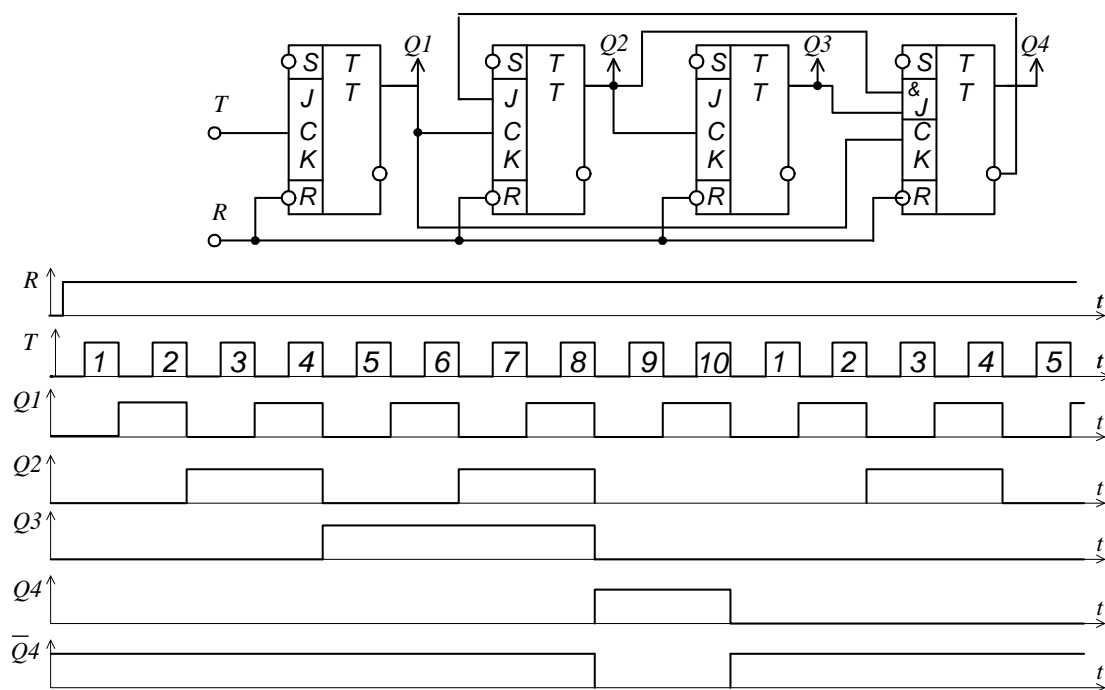
Лічильники з довільним порядком лічби в процесі лічби приймають стани, які не відповідають їх еквівалентним поданням у двійковому коді. За способом побудови вони поділяються на лічильники з примусовим нарахуванням і початковим встановленням коду, рівного M .

В лічильниках з примусовим нарахуванням виключення заборонених станів M досягається примусовим встановленням окремих його розрядів у стан "1". В процесі лічби показання лічильника змінюються в природній формі починаючи з "0" і закінчуючи деяким числом $X \leq K_{\text{лч}} - 2$. З надходженням чергового імпульсу лічильник замість стану $X+1$ приймає стан $X+1+M$, рівний $2^n - 1$, тобто усі розряди лічильника приймають стан "1". При цьому примусове нарахування здійснюється введенням зворотних зв'язків зі старших розрядів на молодші, під дією яких відповідні розряди лічильника, що перебувають у стані "0", позачергово перемикаються у стан "1". Зворотні зв'язки зі старших розрядів на молодші підключаються або безпосередньо на лічильний вхід молодших розрядів, або на вхід установки "1".

В лічильниках з початковим встановленням коду, рівного M , нарахування здійснюється не в процесі лічби, а за допомогою зовнішнього встановлення лічильника у початковий стан, що відповідає числу заборонених станів M на початку лічби. Для побудови лічильника з початковим встановленням коду, рівного M , і заданим коефіцієнтом перерахування $K_{\text{лч}} \leq 2^n$ необхідно визначити розрядність $n \geq \lg K_{\text{лч}} / \lg 2 = 3,32 \lg K_{\text{лч}}$ двійкового лічильника, на основі якого повинен виконуватися лічильник; за виразом $M = 2^n - K_{\text{лч}}$



a



б

Рис. 4.7

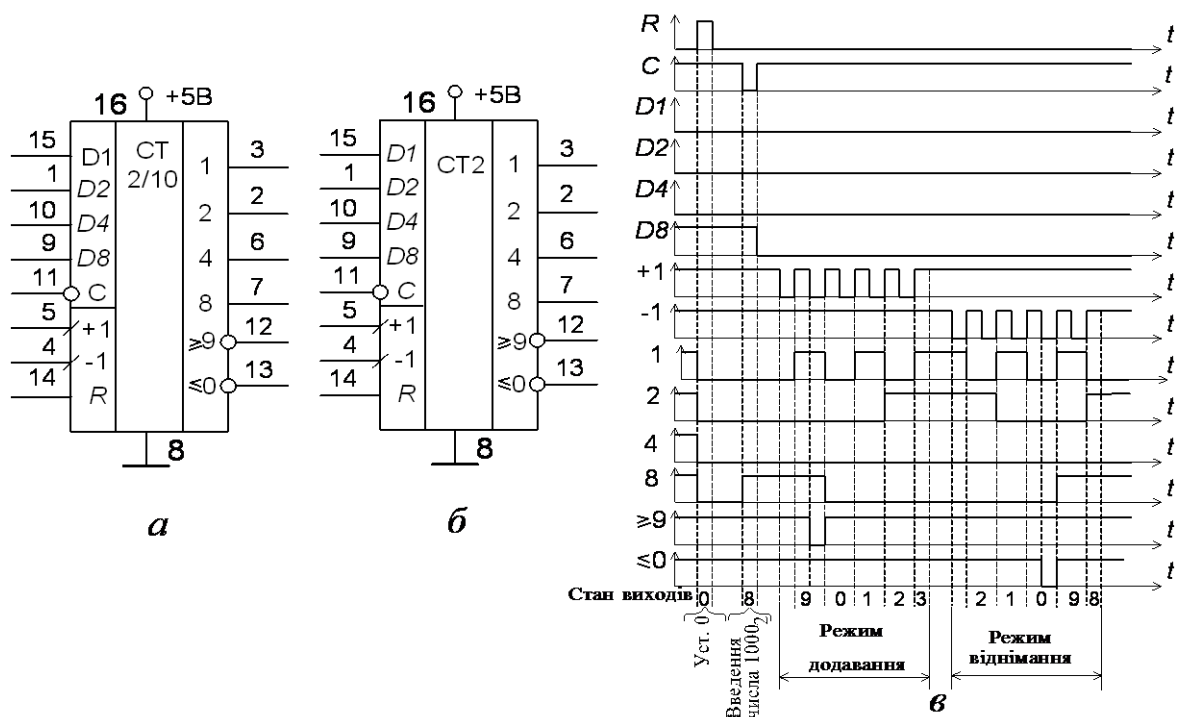


Рис. 4.8

визначити число зайвих станів і записати у вигляді n - розрядного двійкового числа; подати сигнали забороненого зворотного зв'язку зі старшого розряду на лічильні входи тих тригерів, які повинні перебувати у стані "1", якщо в лічильник попередньо записати число M .

У серію мікросхем К155 входять реверсивні лічильники: К155ІЕ6 - двійково-десятковий (рис. 4.8, а), К155ІЕ7 – двійковий (рис. 4.8, б).

Послідовність входних (тактових) імпульсів подається на один із входів +1 (в режимі додавання) чи -1 (в режимі віднімання).

Входи $D1$, $D2$, $D4$, $D8$ призначені для введення в лічильник початкового двійкового числа, до якого додаються (в режимі додавання) чи від якого віднімаються (в режимі віднімання) входні імпульси. Запис початкового числа відбувається сигналом логічного "0" на вході C . Вхід R є пріоритетним і призначений для встановлення нуля на усіх виходах лічильника (1, 2, 4, 8) в разі подачі на нього логічної "1".

Перемикання тригерів лічильника відбувається по фронту 0/1 тактових імпульсів. Вихід перенесення ≥ 9 (≥ 15) і вихід запозичення ≤ 0 використовуються в разі каскадування лічильників, при використанні лічильника в якості дільника а також при циклічному запису інформації в лічильник зі входів $D1$, $D2$, $D4$, $D8$ (для цього потрібно з'єднати вхід C з виходом займу чи перенесення). На виході ≥ 9 (≥ 15) з'являється сигнал логічного "0" одночасно з надходженням кожного 10-го (16-го для 155ІЕ7)

при роботі лічильника в режимі додавання, а на виході ≤ 0 - в режимі віднімання. Одночасно можна задіяти тільки один тактовий вхід, на інший необхідно подати напругу високого логічного рівня.

Лабораторна робота № 5

РЕГІСТРИ

Мета роботи - дослідити принципи роботи регістрів паралельного, послідовного типів і зі зворотними зв'язками.

Опис досліджуваної схеми

До лабораторної установки входять універсальний лабораторний стенд зі змінним модулем РГ, генератор прямокутних імпульсів Г5-54 і осцилограф СІ-55.

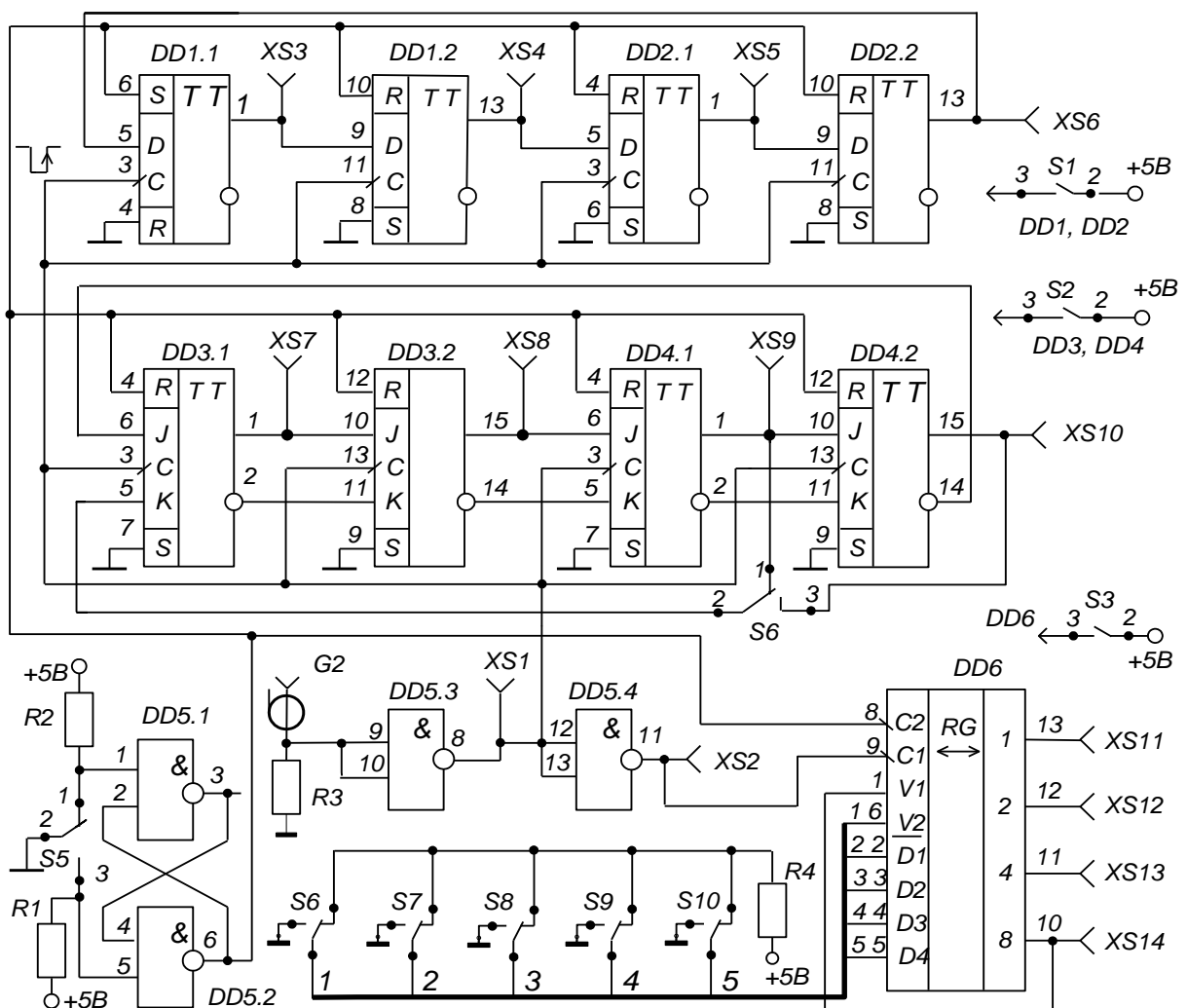


Рис. 5.1

Досліджувані схеми (рис. 5.1) регістрів зібрані: паралельно-послідовного типу - на мікросхемі DD6; зі зворотними зв'язками на D-тригерах - на мікросхемах DD1 і DD2; з перехресними зворотними зв'язками на JK - тригерах - на мікросхемах DD3 і DD4. Підключення до джерела живлення

здійснюється за допомогою перемикачів: $S1$ - регістра зі зворотними зв'язками; $S2$ - регістри з перехресними зворотними зв'язками; $S3$ - паралельно-послідовного регістра. Перемикачем $S5$ (нажати – віджати) регістр з перехресними зворотними зв'язками встановлюється у стан 0000, регістр зі зворотними зв'язками - у стан 1000 і паралельно-послідовний регістр – у стан, обумовлений положенням перемикачів $S7...S10$ (в разі подачі логічної “1” на вхід $V2$ мікросхеми $DD6$ за допомогою перемикача $S6$).

Робоче завдання

I. Вказівка. Установити на генераторі Г5-54 частоту надходження імпульсів $f = 100$ кГц, основний імпульс (ОІ) позитивної полярності з амплітудою не більше 5 В, тривалістю 1 мкс і подати на роз'єм $G2$. Використати зовнішню синхронізацію осцилографа сигналами: $XS6$ - для регістра зі зворотними зв'язками на D - тригерах; $XS10$ для регістра з перехресними зворотними зв'язками на JK -тригерах; $XS14$ - для паралельно-послідовного регістра.

2. Дослідити регістр зі зворотними зв'язками на D - тригерах. Встановити перемикачем $S5$ (нажати – віджати) регістр у стан $XS3=1$, $XS4=0$, $XS5=0$, $XS6=0$. Зняти і побудувати часові діаграми ($XS1$, $XS3...XS6$) роботи регістра. Визначити коефіцієнт перерахування.

3. Дослідити регістр із перехресними зворотними зв'язками на JK -тригерах. Встановити перемикачем $S5$ (нажати – віджати) регістр у стан $XS7=0$, $XS8 = 0$, $XS9=0$, $XS10=0$. Зняти і побудувати часові діаграми ($XS1$, $XS7...XS10$) роботи регістра для парного ($S6$ - нажати) і непарного ($S6$ - віджати) коефіцієнтів перерахування. Визначити по часових діаграмах коефіцієнт перерахування.

4. Дослідити регістр послідовно-паралельного типу. Генератор Г5-54 встановити в режим разового пуску. При $S6=1$ перемикачем $S5$ (нажати–віджати) записати в регістр код, визначений положенням перемикачів $S7 ... S10$ (наприклад $S7=1$, $S8=0$, $S9=0$, $S10=1$). Перевірити на $XS11...XS14$ записаний код. Встановити $V2=0$ (нажати $S6$) і генератор Г5-54 у режим внутрішнього запуску. Зняти й побудувати часові діаграми ($XS2$, $XS11, ..., XS14$) роботи регістра.

Контрольні запитання

1. Для чого призначені регістри?
2. За якими ознаками класифікують регістри?
3. Пояснити роботу регістрів паралельного, послідовного і паралельно-

послідовного типів.

4. Пояснити роботу регістрів зі зворотними зв'язками, з перехресними зворотними зв'язками.

Методичні вказівки

Регістри - це пристрої, призначені для приймання, зберігання, зсуву і видачі інформації, представлена в двійковому коді. Вони використовуються в якості керуючих і запам'ятовуючих пристроїв, генераторів, перетворювачів паралельних кодів в послідовні і навпаки, лічильників, дільників частоти, вузлів часової затримки. До складу регістрів входять тригери і логічні схеми, призначені для керування прийомом і видачею коду. Залежно від способу введення й виведення інформації розрізняють паралельні, послідовні та паралельно-послідовні регістри.

У регістрах паралельної дії (регістрах пам'яті) усі розряди коду вводяться і виводяться одночасно. Такі регістри представляють собою набір синхронних тригерів, кожен з яких зберігає один розряд двійкового

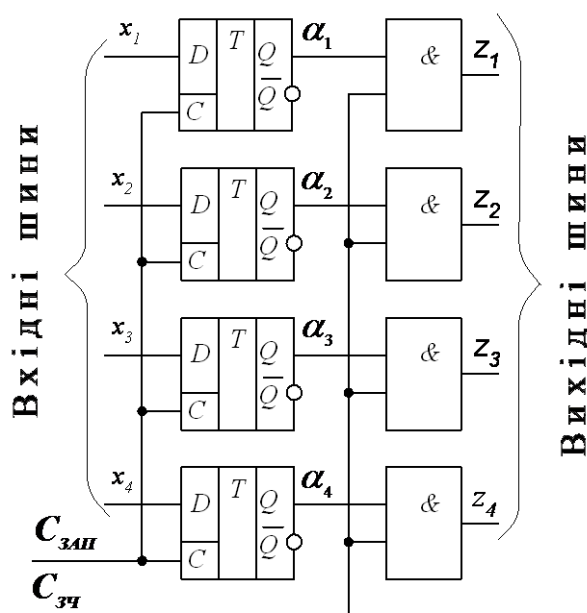


Рис. 5.2. Паралельний регістр

числа, і додаткових схем логічного множення (І) (рис. 5.2). При побудові n - розрядного паралельного регістра необхідно застосовувати n тригерів і таку ж кількість схем І. Регістр може працювати в режимах запису, зберігання і зчитування інформації. Для запису інформації необхідно на входи управління подати такі сигнали: $C_{зп}=1$, $C_{зч}=0$. У даному разі інформація по входах x_1, \dots, x_4 запишеться у відповідні розряди D-тригерів: $a_i=x_i$, а $z_i=C_{зч}x_i=0$. Записана інформація буде зберігатися в регістрі в разі

$C_{зп}=C_{зч}=0$: $a_{i(n-1)}=a_{in}$, $z_i=0$. Якщо $C_{зп}=0$, $C_{зч}=1$, то відбувається паралельне зчитування інформації, тобто $z_i=a_i$. При цьому інформація записана в регістр зберігається. На базі паралельних регістрів будуються системи оперативної пам'яті.

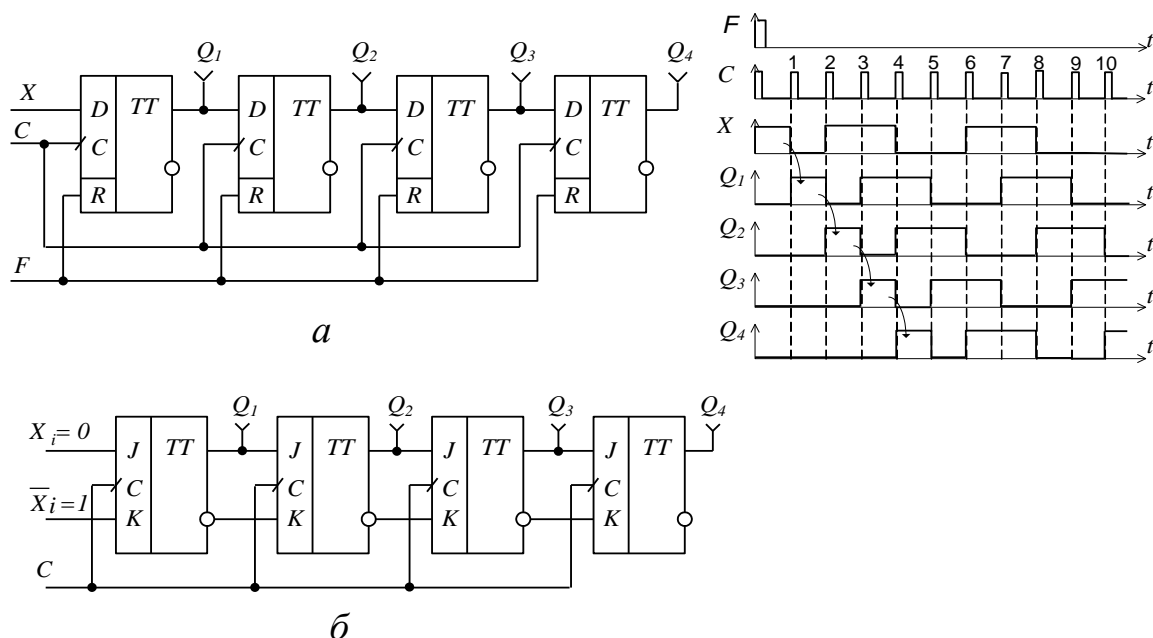


Рис. 5.3

Послідовний (або зсувний) регістр забезпечує послідовний запис коду числа: на інформаційний вхід регістра послідовно подаються значення двійкових розрядів числа. Зсувні імпульси, що надходять на тактові входи, передають (зсувають) записану інформацію від розряду до розряду вправо або вліво. В одноканальних зсувних регістрах в разі надходження одного тактового імпульсу відбувається одночасний зсув всього числа на один розряд вправо або вліво. Залежно від кількості каналів, по яких надходить інформація на входи розрядів регістра, розрізняють регістри двофазні (інформація на кожен розряд надходить по двох каналах: Q і \bar{Q}) та однофазні (інформація надходить по одному каналу - Q або \bar{Q}_n). При побудові зсувних регістрів використовують синхронні RS -, D - і JK -тригери. Найбільш просто регістр зсуву реалізується на D - тригерах (рис. 5.3, а). Вихід Q попереднього розряду (тригера) з'єднується зі входом D наступного, в результаті чого кожний тактовий імпульс встановлює тригер у стан, в якому до цього перебував попередній, зсуваючи тим самим інформацію на один розряд вправо.

Вхід X першого розряду служить для приймання до регістру інформації у вигляді послідовного коду. З кожним тактовим імпульсом (ТІ), що надходить на вхід C , на вхід X повинен подаватися код нового розряду вхідної інформації. З виходу Q_3 останнього тригера знімається послідовний код із затримкою щодо вхідного послідовного коду на число періодів ТІ, рівне числу розрядів регістра. На рис. 5.3, б зображена схема зсувного регістра на JK -тригерах. На цій схемі входи J і K наступних тригерів з'єднані з виходами відповідно Q і попередніх. При проектуванні зсувних регістрів необхідно обов'язково

застосовувати тригери, синхронізуючі фронтом, тому що під час дії синхросигналу змінюються стани виходів тригерів, які підключені до входів наступних тригерів. Таким чином, змінюється стан входів наступних тригерів, і якщо синхроімпульс ще не скінчився, то тригери, синхронізуючі рівнем, перемикаються в новий стан, тобто за час дії одного синхроімпульсу (один такт) інформація в регістрі зсувається більше ніж на один розряд і нормальне функціонування регістра - зсув на один розряд за один такт – порушується.

Зсувні регістри застосовуються для перетворення паралельного коду в послідовний і навпаки. Для цього кожен розряд регістра повинен мати додатковий вхід для паралельного прийому коду. Послідовний код перетвориться в паралельний одночасним опитуванням станів усіх тригерів регістра (рис. 5.4).

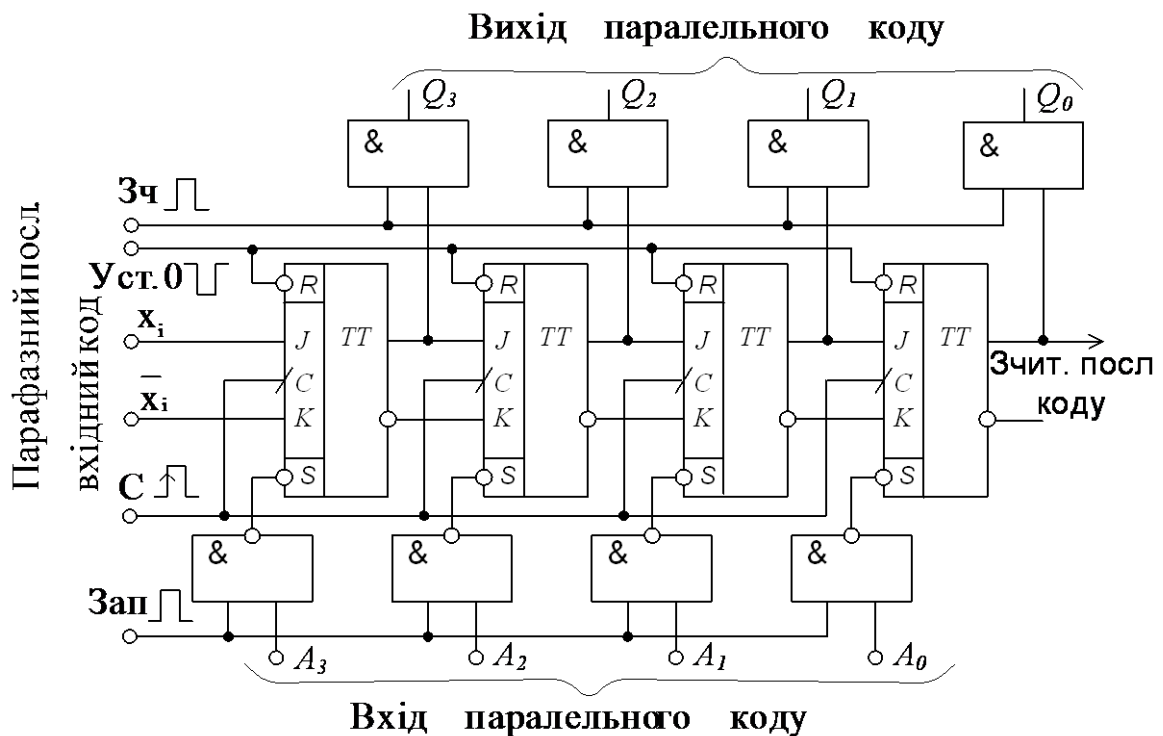


Рис. 5.4

Зсувні регістри можуть бути реверсивними, тобто виконувати зсув як вправо так і вліво. Напрямок зсуву визначається значенням керуючого сигналу V . Реверсивний регістр можна одержати, якщо в схемі послідовно-паралельного регістра (рис. 5.5) замість зовнішнього сигналу i -го входу A_i підключити інверсний вихід наступного $(i+1)$ -го розряду (як показано пунктиром для $m-2$ розряду). Зсув вправо виконується при значенні сигналу $V=1$, зсув вліво - при $V = 0$. Зсув числа вліво або вправо на один розряд

відповідає його множенню або діленню на два. Тому регістри зсуву використовуються для побудови множників і дільників.

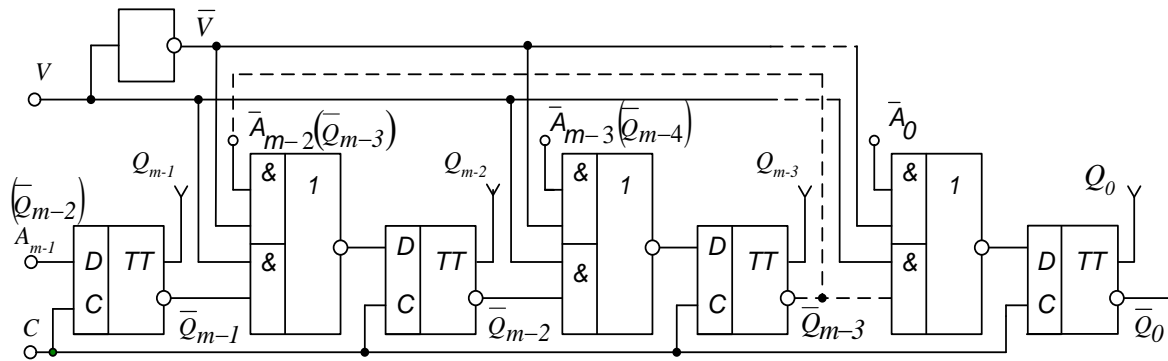


Рис. 5.5

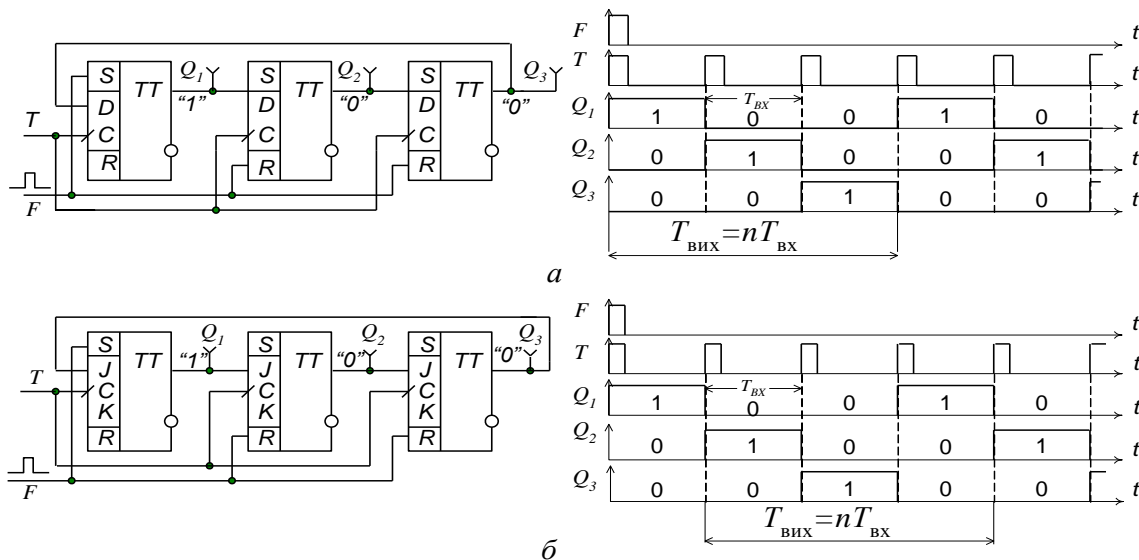


Рис. 5.6

Послідовні регістри зі зворотними зв'язками. При введенні зворотних зв'язків у зсувний регістр останній перетворюється в замкнуте кільце, в якому під впливом тактових імпульсів (ТІ) переміщується введена в регістр інформація. Такі регістри називають кільцевими. Схеми кільцевих регістрів, побудованих на D - і JK -тригерах, та їх часові діаграми зображені на рис. 5.6. У цих регістрах кодова одиниця, введена в перший тригер по входу F , переміщується по кільцю протягом усього часу існування послідовності тактових імпульсів, що подаються на входи C усіх тригерів лічильника. На виході кожного тригера імпульси з тривалістю, що дорівнює періоду тактових імпульсів $T_{\text{вх}}$, будуть з'являтися з періодом $T_{\text{вих}} = nT_{\text{вх}}$. Ця властивість кільцевого регістра використовується при побудові розподільників імпульсів та дільників частоти. При використанні

кільцевого регістра в якості дільника, необхідно знімати сигнал з виходу будь-якого одного тригера. Коефіцієнти ділення дорівнюють кількості розрядів (тригерів) регістра, тобто $K_{\text{діл}}=n$. Недоліком дільників на кільцевих регістрах є потреба великої кількості тригерів при великих коефіцієнтах ділення. Усувається цей недолік у регістрах з перехресними зворотними зв'язками (лічильниках Джонсона).

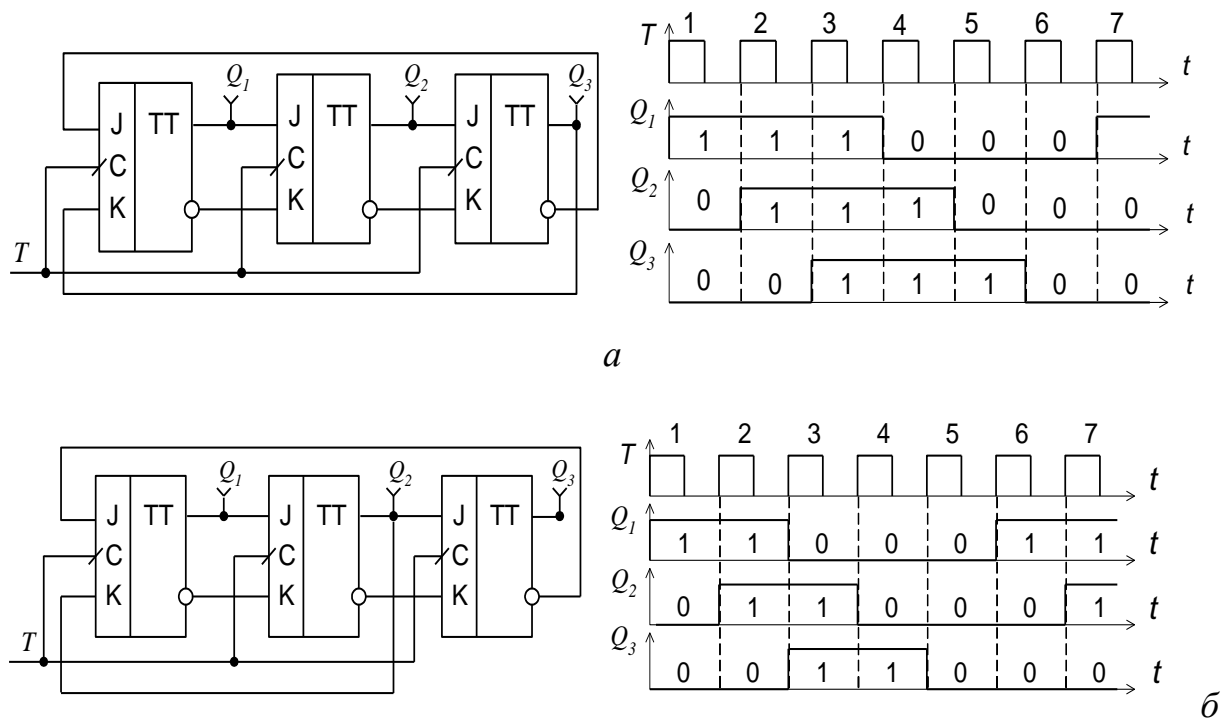


Рис. 5.7

Лічильник Джонсона (рис. 5.7, а) має коефіцієнт ділення вдвічі більший числа тригерів, що його складають. Особливість його роботи полягає в тому, що при ліченні спочатку від першого тригера до останнього поширюється "хвиля 1", а потім "хвиля 0". Якщо потрібен непарний коефіцієнт лічби $K_{\text{лч}}=2n-1$, то вхід 'J' першого тригера з'єднується з інверсним виходом останнього тригера, а вхід 'К' першого тригера - з прямим виходом Q_{n-1} передостаннього тригера. У кільцевих лічильниках можливі збої у вигляді появи зайвих одиниць (уявних "хвиль 1" чи "хвиль 0") або зникнення потрібних кодових одиниць. Для усунення збоїв вводиться логічний ланцюг у кільцевий лічильник, що дозволяє перепис "1" з останнього тригера в перший тільки за умови, що усі інші тригери перебувають у стані "0".

Регістри серії KI55. У серію KI55 входить мікросхема K155IP1- 4-х розрядний універсальний зсувний реєстр (рис, 5.8, а), що має два входи синхронізації: C1 (тактові імпульси на вході C1 забезпечують зсув інформації, при цьому на вхід V2 треба подати логічний "0") і C2 (синхроімпульс, що надходить на C2, записує в розряди реєстра логічні значення, які подані в цей момент на входи D1, D2, D3, D4, при цьому на вхід V1 треба подати логічну "1").

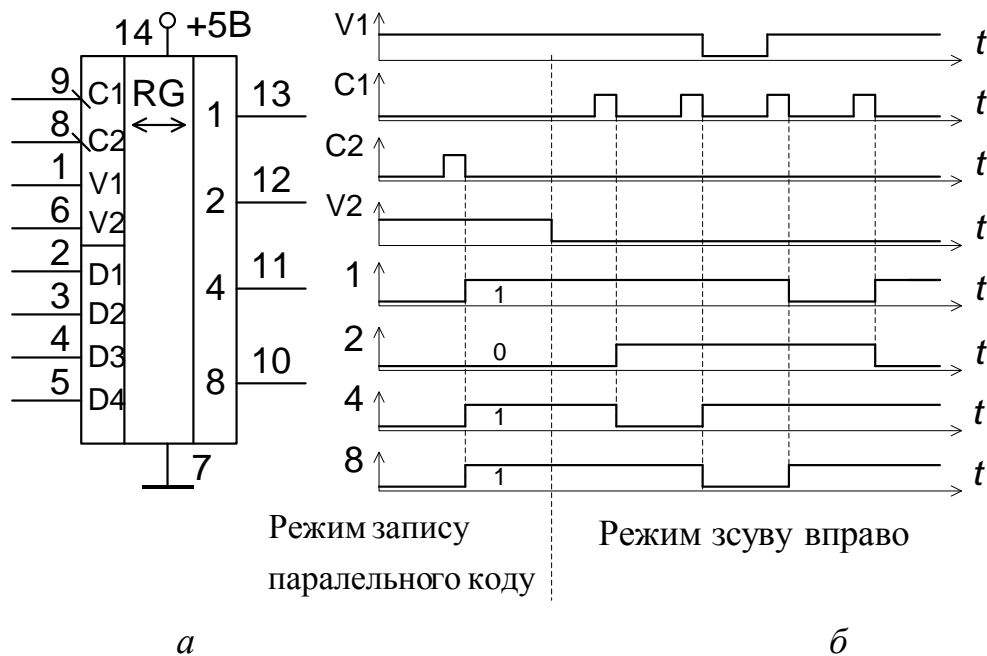


Рис. 5.8

Вхід V1 служить для введення інформації до першого розряду реєстра в режимі зсуву вправо. Стан тригерів реєстра змінюється при дії негативного фронту 1/0 тактових імпульсів. Принцип роботи зсувного реєстра K155IP1 зображений на рис. 5.8, б у режимі запису паралельного коду 1101 і зсуву вправо. При використанні реєстра K155IP1 (рис. 5.8) у режимі зсуву вліво необхідно попарно з'єднати виводи 2 і 12, 3 і 11, 4 і 10. Послідовний код варто подавати на вивід 5 (D4), а на вхід V2- логічну "1". При цьому тактові імпульси на вході C2 будуть зсувати інформацію вліво. Регістр K155IP1 можна використати в багаторозрядних лічильних пристроях і в дільниках з коефіцієнтом лічби від 2 до 8.

Лабораторна робота №6

Комбінаційні пристрої

Мета роботи - дослідити принцип роботи дешифраторів, перетворювачів кодів і мультиплексорів.

Опис досліджуваних схем

До складу лабораторної установки входять:

- універсальний лабораторний стенд зі змінним модулем КУ,
- генератор прямокутних імпульсів Г5-54,
- осцилограф С1-55.

Досліджуємо схеми комбінаційних пристроїв (рис. 6.1) зібрані на мікросхемах:

- дешифратор - на мікросхемі DD3;
- перетворювач коду 1-2-4-8 в семисегментний код - на мікросхемах DD7, DD8;
- мультиплексор - на мікросхемах DD3, DD4, DD5;
- демультиплексор - на мікросхемах DD3, DD6.

Підключення до джерела живлення здійснюється за допомогою перемикачів: S1 - дешифратора, мультиплексора, демультиплексора; S2 - перетворювача кодів і семисегментного індикатора. Двійково-десятковий лічильник на мікросхемі DD2 формує двійково-десятковий паралельний код на виходах XS13, XS15, XS17, XS19. Перемикачами S5 ... S8 задається код, який подається на інформаційні входи D0 ... D3 мультиплексора.

Робоче завдання

1. Вказівка. Встановити на генераторі Г5-54 частоту слідування імпульсів $f=100$ кГц, основний імпульс (OI) додатної полярності з амплітудою не більше 5В і довжиною $t_i \geq 3$ мкс з затримкою $t_{зам} = 3$ мкс відносно синхроімпульсу (CI) додатної полярності з амплітудою не більше 5 В. Синхроімпульс подати до гнізда G2, основний імпульс - до гнізда G1. Використати зовнішню синхронізацію осцилографа сигналом XS13.

2. Дослідити дешифратор. Зняти і побудувати часові діаграми (XS18, XS19, XS17, XS15, XS13, XS2, XS3, XS9, XS11) роботи дешифратора.

3. Дослідити перетворювач кодів 1-2-4-8 в семисегментний код (натиснути S9). Зняти і побудувати часові діаграми (XS18, XS19, XS17, XS15, XS13, A, B, C, D, E, F, G) роботи перетворювача кодів. Встановити генератор Г5-54 в режим разового запуску. Натискаючи кнопку разового пуску, прослідити, як змінюються цифри індикатора. При цьому зафіксувати потенціали в точках A, B, C, D, E, F, G для кожної цифри і порівняти з часовими

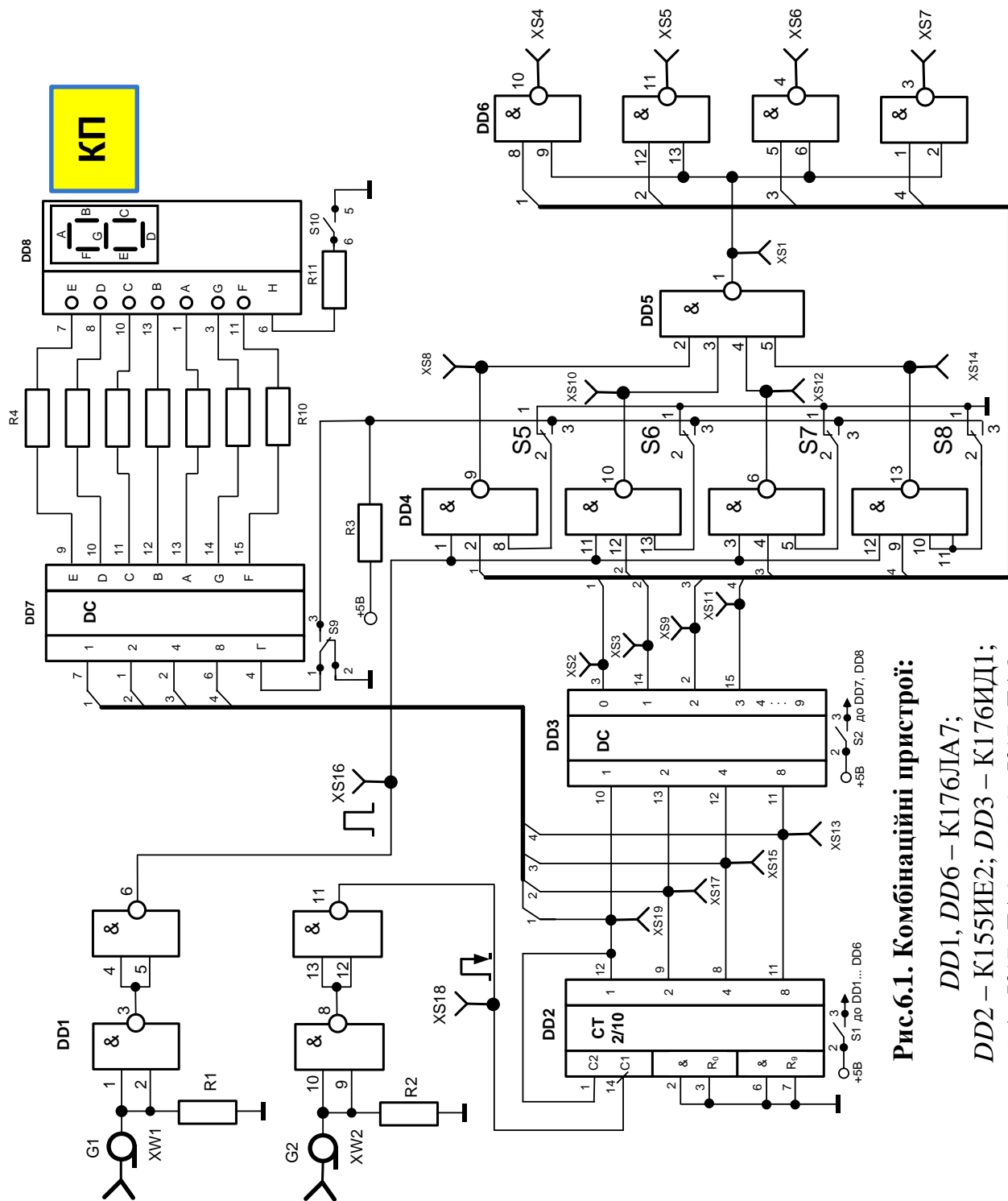


Рис.6.1. Комбінаційні пристрої:

DD1, DD6 – К176ЛА7;
 DD2 – К155ИЕ2; DD3 – К176ИД1;
 DD4 – К176ЛА9; DD5 – К176ЛА8;
 DD7 – К514ИД2; DD8 – АЛС324Б.

діаграмами. потенціали в точках *A, B, C, D, E, F, G* для кожної цифри і порівняти з часовими діаграмами.

4. Дослідити мультиплексор і демультимплексор. Зняти і побудувати часові діаграми (XS13, XS19, XS17, XS15, XS2, XS3, XS9, XS11, XS16, XS8, XS10, XS14, XS1, XS4 ... XS7) роботи мультиплексора і демультимплексора для

коду, який дорівнює номеру бригади і подається на інформаційні входи $D0 \dots D3$ перемикачами S_5-2^0 , S_6-2^1 , S_7-2^2 , S_8-2^3 .

Контрольні запитання

1. Поясніть призначення комбінаційних пристроїв.
2. Наведіть класифікацію комбінаційних пристроїв.
3. Поясніть роботу дешифратора, перетворювача кодів, мультиплексора, демультиплексора.
4. Накресліть схему лінійного дешифратора на два входи.
6. Накресліть схему мультиплексора на чотири інформаційні входи.

Методичні вказівки

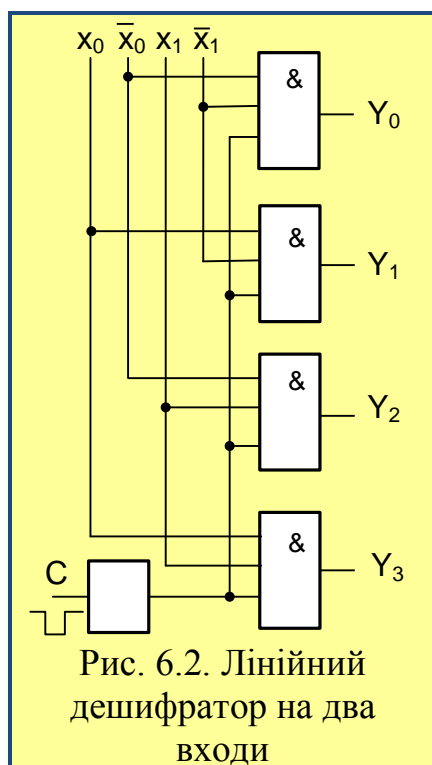
Комбінаційними називаються цифрові пристрої, у яких вихідні сигнали визначаються тільки комбінацією вхідних сигналів у даний момент часу і не залежать від попередніх значень вихідних змінних. До комбінаційних пристроїв відносяться логічні схеми І-НЕ (ЛІА), АБО-НЕ (ЛІЕ), І (ЛІІ), АБО (ЛІЛ), НЕ (ЛІН), І-АБО (ЛІС); мультиплексори (комутатори); демультиплексори (розподільники); суматори; шифратори (кодери); дешифратори (декодери); перетворювачі кодів; схеми рівнозначності кодів; схеми порівняння двійкових чисел (компаратори); порогові схеми; мажоритарні елементи та ін.

Роботу цифрових пристроїв (ЦП) прийнято розглядати у безрозмірному

дискретному часі. Для цього реальний час розбивається на інтервали, які нумеруються з якого-то моменту. Кожний такий проміжок часу називають тактовим інтервалом або просто тактом.

Дешифратори (декодери) – це комбінаційні пристрої, що перетворюють кожну вхідну комбінацію двійкового коду в керуючий сигнал лише на одному із своїх виходів. Дешифратор має число n входів (число розрядів вхідного коду) і m виходів.

За способом організації дешифрації слова дешифратори поділяються на одноступеневі (лінійні) та багаступеневі (прямокутні, пірамідальні).



Ці структури відрізняються одна від одної характером навантаження на джерела вхідних сигналів, числом логічних елементів, часом затримки сигналів, вимогами до коефіцієнту розгалуження логічних елементів.

Дешифратори широко використовуються в пристроях введення інформації і керування.

Лінійні дешифратори виробляють одиничний (або нульовий) сигнал на відповідному виході тільки у тому випадку, коли на входи поступає код числа, відповідний номеру цього виходу (рис. 6.2). Через це дешифратори часто називають вибірними схемами.

Функціонування дешифратора можна описати за допомогою таблиць істинності або логічних функцій:

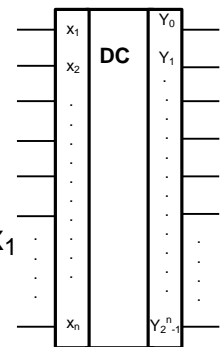
Входи					Виходи				
X_n	X_{n-1}	...	X_2	X_1	Y_0	Y_1	Y_2	...	Y_{2^n-1}
0	0	...	0	0	1	0	0	...	0
0	0	...	0	1	0	1	0	...	0
0	0	...	1	0	0	0	1	...	0
1	1	...	1	1	0	0	0	0	1

$$Y_0 = \bar{X}_n \bar{X}_{n-1} \dots \bar{X}_2 \bar{X}_1$$

$$Y_1 = \bar{X}_n \bar{X}_{n-1} \dots \bar{X}_2 X_1$$

$$Y_2 = \bar{X}_n \bar{X}_{n-1} \dots X_2 \bar{X}_1$$

$$Y_{2^n-1} = X_n X_{n-1} \dots X_2 X_1$$



$X_1, X_2, \dots, X_n; Y_0, Y_1, \dots, Y_{2^n-1}$ – сигнали на входах і виходах дешифратора.

Оскільки код числа може мати як одиниці, так і нулі, то для індикації коду створюють за допомогою інверторів інверсні значення логічних змінних вхідних сигналів, тобто повний дешифратор має $2n$ вхідних шин (n – для прямих і n – для інверсних значень розрядних чисел).

Для лінійного дешифратора з n входами потрібно 2^n логічних елементів І з n входами. Якщо число виходів дорівнює 2^n , то дешифратор називається повним, а якщо $< 2^n$, то – неповним. У будь-який момент часу логічна 1 буде тільки на тому виході, номер якого відповідає десятковому числу заданому вхідним двійковим кодом. Тому можна сказати, що дешифратор перетворює вхідний позиційний код в унітарний вихідний код.

Мітки лівого додаткового поля в умовному позначенні відображають десяткові ваги вхідних змінних, а мітки правого додаткового поля відповідають десятковим еквівалентам вхідних комбінацій двійкових змінних. У схемах дешифраторів може бути ще стробуючий (дозволяючий) вхід S , за допомогою якого визначається момент спрацювання дешифратора. Крім того, вхід S використовується для нарощування розрядності вхідного коду.

Лінійні дешифратори найбільш ефективні, якщо розрядність вхідного коду не перевищує числу входів (n) схеми типового логічного елемента І. Швидкодія лінійних дешифраторів найбільша в порівнянні з іншими схемами дешифрації,

тому що час встановлення $t_{\text{вст}}$ сигналу на виході дешифратора дорівнює середній затримці $t_{\text{зат.сер.}}$ типового логічного елемента ($t_{\text{вст}} = t_{\text{зат.сер.}}$).

Основний недолік лінійних дешифраторів полягає в тому, що елементи, до яких підключаються входи дешифраторів (тригери регістрів), повинні мати велику навантажувальну спосібність рівну $m_{\text{тр}}=2^{n-1}$.

Якщо довжина двійкового слова, що дешифрується, більше можливого числа входів елементів І, то використовують багатоступеневу (каскадну) будову дешифратора.

Каскадне включення елементів І можна здійснити двома способами. В залежності від вибраного способу каскадування дешифратори поділяються на пірамідальні і прямокутні.

Пірамідальні дешифратори з n входами мають $k=n-1$ ступенів, при чому в кожній ступені використовуються тільки двовходові схеми І (рис. 6.3, а). Кількість елементів І в i -й ступені складає 2^{i+1} , де i – номер ступені. Загальна кількість схем І для пірамідального дешифратора визначається формулою

$$\sum I = \sum_{i=1}^{n-1} 2^{i+1}.$$

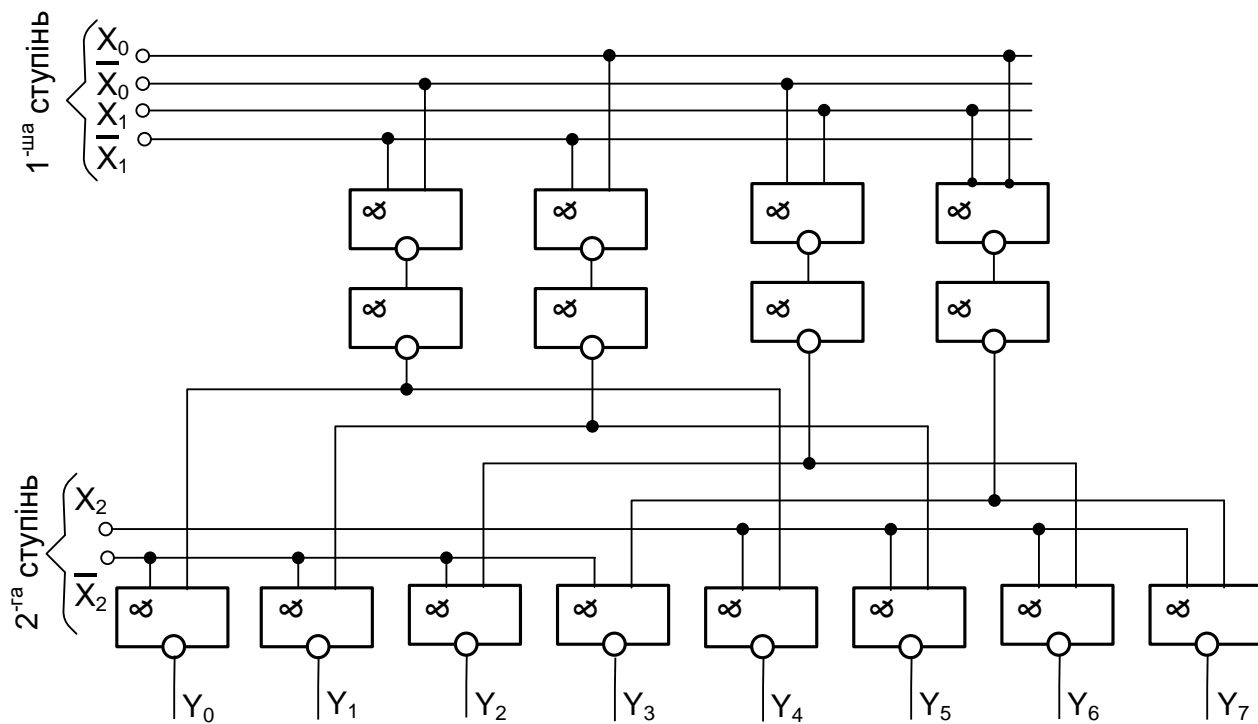
В прямокутних дешифраторах n його входів розбиваються на дві групи по $n/2$ змінних в кожній групі при парному n ; при непарному n групи повинні мати по $(n+1)/2$ і $(n-1)/2$ змінних (рис. 6.3, б). Для кожної з груп будується лінійний дешифратор. Ці дешифратори складають першу ступінь дешифрації. Потім за матричною схемою за допомогою елементів І на два входи кожна вхідна шина одного дешифратора об'єднується з кожною вихідною шиною іншого і таким чином формується друга ступінь дешифрації.

При побудові прямокутного двоступеневого дешифратора для його реалізації потрібно загальну кількість схем І, яке визначається з виразів:

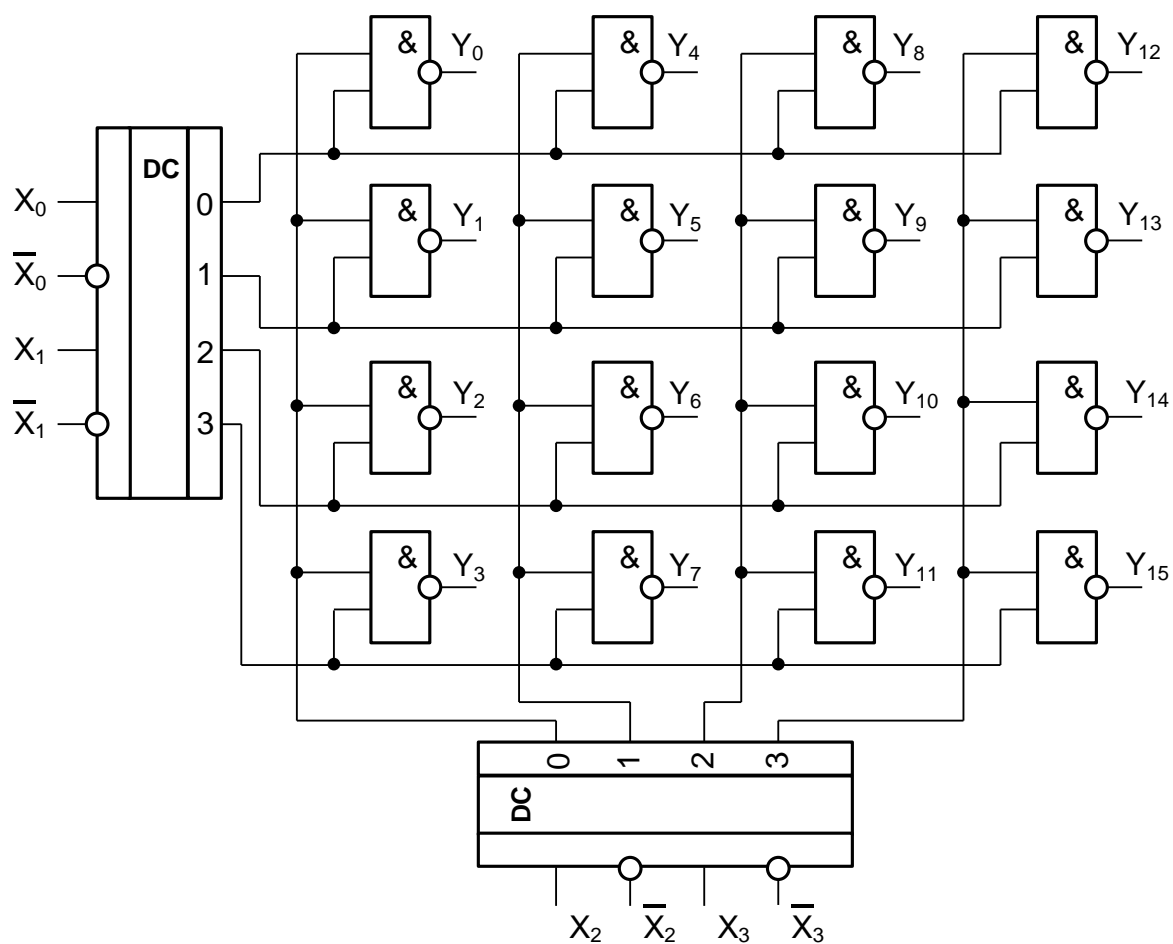
$$\sum I = 2^n + 2 \cdot 2^{n/2} \text{ при } n \text{ парному і } \sum I = 2^n + 2^{(n+1)/2} + 2^{(n-1)/2}$$

при непарному n .

При цьому потрібно 2^n двовходових схем І для першого лінійного дешифратора і 2^{n-x} ($n-x$) - входових схем І для другого лінійного дешифратора. При $n > 4$ прямокутні дешифратори приблизно вдвічі економічні ніж пірамідальні. Необхідно відзначити, що до навантажувальної можливості інтегральних схем предкінцевої ступені прямокутних дешифраторів пред'являються достатньо високі умови, тобто $m_{\text{тр}} = 2^{n/2}$.



а)



б)

Рис. 6.3. Дешифратори: а - пірамідальний; б - прямокутний

При зміні вхідного коду на виходах дешифраторів можуть появлятися

неправдиві сигнали. Для їх усунення використовується стробування вихідного сигналу добавкою додаткового входу С в схемах І, які виконують функції дешифрації (див. рис. 6.2).

Шифратори (кодери) – комбінаційні пристрої, призначені для перетворення вхідного n -розрядного унітарного коду в m -розрядний вихідний двійковий позиційний код.

Двійковий код, який вміщує тільки одну одиницю, а інші - нулі, називається унітарним.

Якщо $n=2^m$, то шифратор називається повним, а якщо $n < 2^m$, то - неповним.

Входам шифратора послідовно присвоюються значення десяткових чисел, а тому подача активного логічного сигналу на один із входів приймається шифратором як подача відповідного десяткового числа.

Наприклад, число 4 зображується 0000010000, число 9 – 1000000000.

Розглянемо роботу шифратора на прикладі перетворювача десяткових чисел від 0 до 9 у двійково-десятковий код. В таблиці істинності (табл. 6.1) наведена відповідність між вхідним унітарним кодом і двійковим кодом перших десяти чисел.

Табл. 6.1

Десяткове число	Вхідний позиційний одичний код										Вихідний двійковий код			
	X_9	X_8	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
2	0	0	0	0	0	0	0	1	0	0	0	0	1	0
3	0	0	0	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0	0	0	0	1	0	0
5	0	0	0	0	1	0	0	0	0	0	0	1	0	1
6	0	0	0	1	0	0	0	0	0	0	0	1	1	0
7	0	0	1	0	0	0	0	0	0	0	0	1	1	1
8	0	1	0	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	0	0	0	0	0	0	0	1	0	0	1

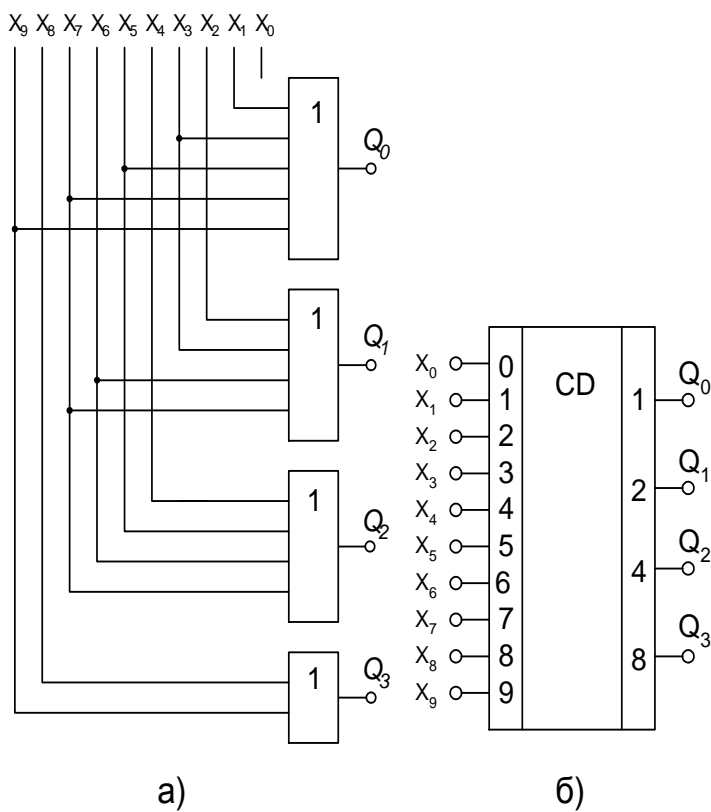


Рис.6.4

Кожен розряд вихідного двійкового коду залежить від усіх розрядів вхідного коду і тому є логічною (булевою) функцією змінних $X_0, X_1, X_2, \dots, X_9$, тобто $Q_i = f(X_0, X_1, X_2, \dots, X_9)$.

Виразимо розряди вихідного коду через розряди вхідного коду відповідно до таблиці істинності за допомогою операцій диз'юнкції.

$$Q_3 = X_8 + X_9;$$

$$Q_2 = X_4 + X_5 + X_6 + X_7;$$

$$Q_1 = X_2 + X_3 + X_6 + X_7;$$

$$Q_0 = X_1 + X_3 + X_5 + X_7 + X_9.$$

Відповідно до наведених логічних виразів, реалізована схема шифратора (рис. 6.4, а). Графічне зображення шифратора на електричних схемах наведене на рис. 6.4, б. Входи шифратора нумеруються послідовними десятковими цифрами 0, 1, ..., n-1, а позначки виходів відображають ваги вихідних двійкових змінних $1 \cdot 2^0, \dots, 1 \cdot 2^{m-1}$.

У розглянутому шифраторі сигнал, що подається на вхід X_0 , не використовується. Відсутність сигналів на входах X_0, \dots, X_9 трактується схемою як присутність на виході нульового сигналу.

У цифрових пристроях шифратори використовуються для виконання операцій перетворення унітарного коду у вихідний двійковий позиційний код, введення первинної інформації з клавіатури, передачі інформації між різними пристроями при обмеженому числі ліній зв'язку та ін.

Перетворювачі кодів. Перетворювачі кодів призначені для перетворення одного паралельного коду в інший. Для подання інформації в цифрових пристроях використовують різноманітні двійкові та двійково-десяткові коди. Велика різноманітність кодів забезпечують:

- Шифрацію і дешифрацію цифрової інформації;
- простоту виконання арифметико-логічних операцій;
- зручність переведення чисел з десяткової системи в двійковий код;
- зменшення апаратних витрат при побудові цифрових пристроїв та ін.

Перетворювачі кодів можуть мати n входів і k виходів. При цьому можливі варіанти: $n = k$; $n < k$; $n > k$.

Розглянемо перетворювач двійково-десятьового коду в спеціальний семирозрядний код, який керує роботою семисегментного цифрового

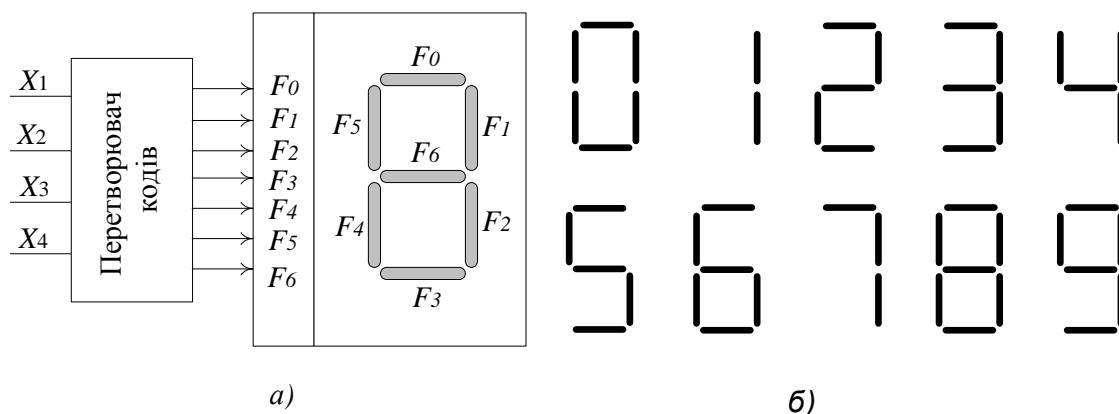


Рис. 6.5

індикатора.

Десятковий код відображуваної цифри поступає на вхід двійково-десятьового перетворювача кодів, виходи якого F_0, \dots, F_6 підключаються до відповідних сегментів індикатора (рис. 6.5, а).

Наприклад, десяткова цифра 0 задається двійково-десятьовим кодом 0000 на вході перетворювача. В цьому разі світяться всі сегменти індикатора, крім F_6 . Цифра 9 задається кодом 1001 при якому світяться всі сегменти індикатора, крім F_4 . Відповідність між двійково-десятьовим числом на входах перетворювача (X_1, X_2, X_3, X_4) і необхідним для відображення десяткової цифри наборами сегментів наведена в таблиці 6.2.

Останні шість кодових комбінацій не відповідають ніяким десятковим числам, а тому є забороненими і помічені знаком *. Вони використовуються

Цифра	X ₁	X ₂	X ₃	X ₄	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
10	1	0	1	0	*	*	*	*	*	*	*
11	1	0	1	1	*	*	*	*	*	*	*
12	1	1	0	0	*	*	*	*	*	*	*
13	1	1	0	1	*	*	*	*	*	*	*
14	1	1	1	0	*	*	*	*	*	*	*
15	1	1	1	1	*	*	*	*	*	*	*

при мінімізації вихідних функцій перетворювача кодів. Покажемо це на прикладі одержання мінімізованої функції F₅.

Карта Карно для функції F₅ зображена на

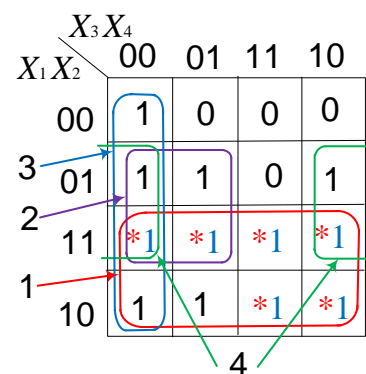


Рис. 6.6

рис. 6.6. Комірки, в яких функція невизначена, заповнюємо одиницями.

Покриття має чотири контури, а це означає що мінімізована диз'юнктивна нормальна форма функції F₅ складається з чотирьох елементарних добутоків

$$F_5 = X_1 + X_2 \cdot \bar{X}_3 + \bar{X}_3 \cdot \bar{X}_4 + X_2 \cdot \bar{X}_4.$$

Аналогічно можна одержати мінімізовані форми інших функцій перетворювача.

За одержаними рівняннями будується схема перетворювача коду в базисі І, АБО, НЕ. Для функції F₅ схема приведена на рис. 6.7.

Кожна функція може бути реалізована в будь-якому базисі. Для цього її потрібно перетворити у необхідний базис. Реалізуємо, як приклад, функцію F₅

у базисі І-НЕ, використавши правило де Моргана і аксіому подвійного заперечення.

$$F_5 = \overline{\overline{X_1 + X_2 \cdot \overline{X_3} + \overline{X_3} \cdot \overline{X_4} + X_2 \cdot \overline{X_4}}} = \overline{\overline{X_1} \cdot \overline{X_2} \cdot \overline{\overline{X_3}} \cdot \overline{\overline{X_3}} \cdot \overline{\overline{X_4}} \cdot \overline{\overline{X_2}} \cdot \overline{\overline{X_4}}}.$$

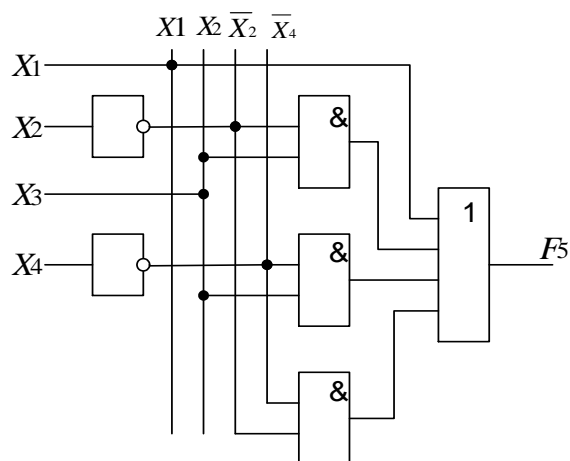


Рис. 6.7

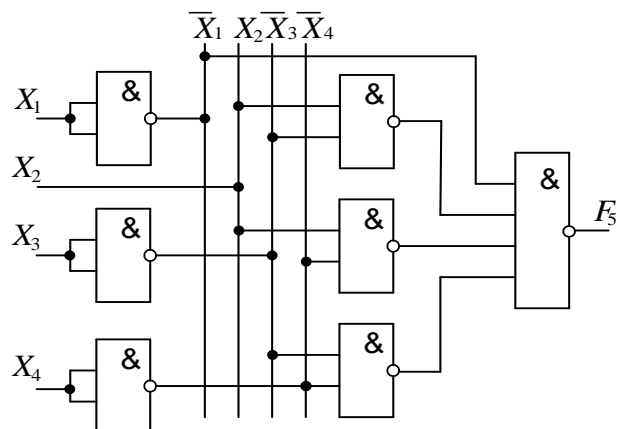


Рис. 6.8

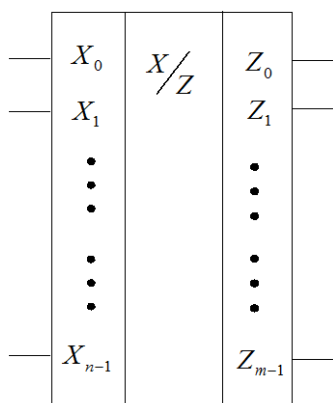
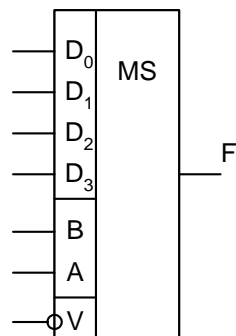


Рис.6.9

Схема функції F_5 в базисі І-НЕ зображена на рис.6.8. Умове зображення перетворювачів кодів зображене на рис. 6.9.



а)

V	B	A	F
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3
1	*	*	0

б)

Рис.6.10

Мультиплексори – це комутатори логічних сигналів з декількох вхідних шин на одну вихідну. Умовне зображення мультиплексора показано на рис. 6.10, а. Мультиплексор має інформаційні входи – D_1, D_2, D_3, D_4 ; адресні входи – A, B ; дозволяючий вхід V і вихід F . Кількість адресних та інформаційних входів взаємозв'язане. Число інформаційних входів дорівнює 2^m , де m – число адресних входів. Дозволяючий (стробуючий) вхід V керує одночасно усіма інформаційними входами незалежно від адресних входів. Забороняючий сигнал на цьому вході блокує роботу всього пристрою. Дозволяючий вхід використовується також для нарошування розрядності мультиплексорів, а також забезпечує синхронізацію їх роботи з роботою інших цифрових пристроїв.

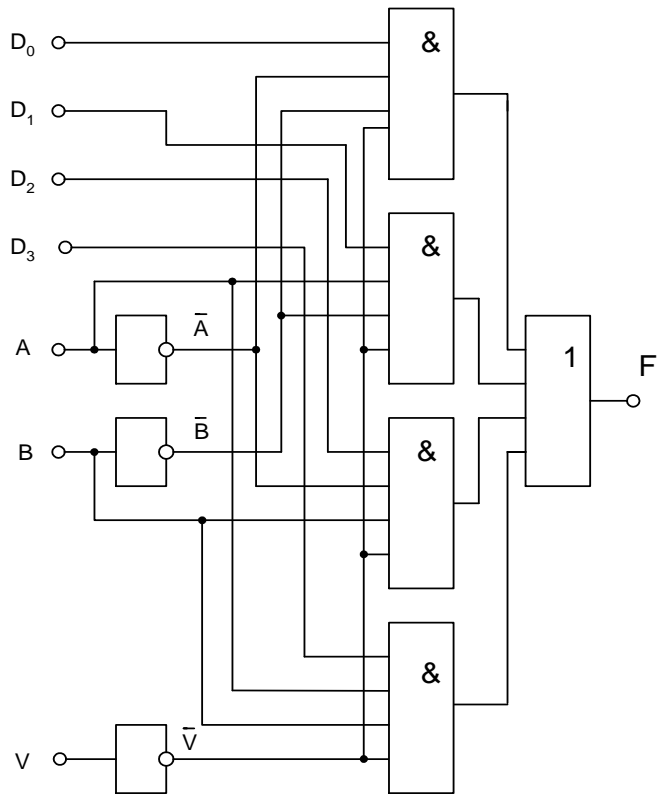
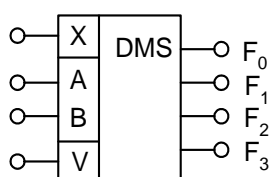


Рис. 6.11

Двійковим кодом адресних входів B і A (B – старший розряд) задається індекс задіяного інформаційного входу, що комутується на вихід.

Наприклад, двійкове число $BA=10_2=2_{10}$ на адресних входах забезпечує селекцію шини D_2 , тобто $F=D_2$. Таблиця істинності мультиплексора зображена на рис. 6.10, б. Рівняння мультиплексора в ДДНФ має вигляд:

$$F = \bar{V} \cdot \bar{B} \cdot \bar{A} \cdot D_0 + \bar{V} \cdot \bar{B} \cdot A \cdot D_1 + \bar{V} \cdot B \cdot \bar{A} \cdot D_2 + \bar{V} \cdot B \cdot A \cdot D_3.$$



а)

Входи				Виходи			
X	B	A	V	F ₀	F ₁	F ₂	F ₃
X	0	0	1	X	0	0	0
X	0	1	1	0	X	0	0
X	1	0	1	0	0	X	0
X	1	1	1	0	0	0	X
*	*	*	0	0	0	0	0

б)

Комбінаційна схема мультиплексора, відповідно до одержаного рівняння, приведена на рис. 6.11.

Робота мультиплексора.

Якщо на дозволяючий вхід подати логічну одиницю $V=1$, то на

Рис. 6.12

одному із входів кожного ЛЕ І буде присутній логічний нуль і на виході цих елементів, а також на виході елемента АБО, буде також логічний нуль ($F=0$). У разі, коли $V=0$, будь-які комбінації на адресних входах B і A створюють умови, при яких на входах трьох логічних елементів І присутні логічні нулі, а стан четвертого ЛЕ І визначається сигналом на інформаційному вході. Такий же сигнал буде на виході мультиплексора. Наприклад, двійкове число **10** на адресних входах забезпечує селекцію шини D_2 , тобто $F=D_2$. Випускаються мікросхеми мультиплексорів з 2-ма, 4-ма, 8-ю і 16-ю інформаційними входами.

Демультимплексори (розподільники) у функціональному відношенні протилежні мультиплексорам. У демультимплексорах сигнали з одного інформаційного входу розподіляються у бажаній послідовності по декількох виходах. Вибір потрібної вихідної шини забезпечується кодом на адресних входах.

Демультимплексор, умовне позначення якого приведене на рис. 6.12, а, має X - інформаційний вхід, B і A – адресні входи, V – дозволяючий вхід; F_0, F_1, F_2, F_3 – виходи.

У разі m адресних входів мультиплексор може мати 2^m виходів. З таблиці істинності демультимплексора (рис. 6.12, б) одержимо рівняння функцій на його виходах:

$$F_0 = XV\bar{B}\bar{A}; F_1 = X\bar{B}AV; F_2 = XB\bar{A}V; F_3 = XBAV.$$

Схема демультимплексора за цими рівняннями зображена на рис. 6.13.

Демультимплексори використовуються як розподільники інформаційних сигналів і синхроімпульсів, для організації адресної логіки в пристроях пам'яті та ін. Якщо треба побудувати мультиплексорний пристрій для великої кількості вхідних ліній, то можна об'єднати окремі мультиплексори в схему так званого *мультиплексорного дерева*, що складається з кількох рівнів комутації. Приклад такого мультиплексорного дерева показаний на рис. 6.14.

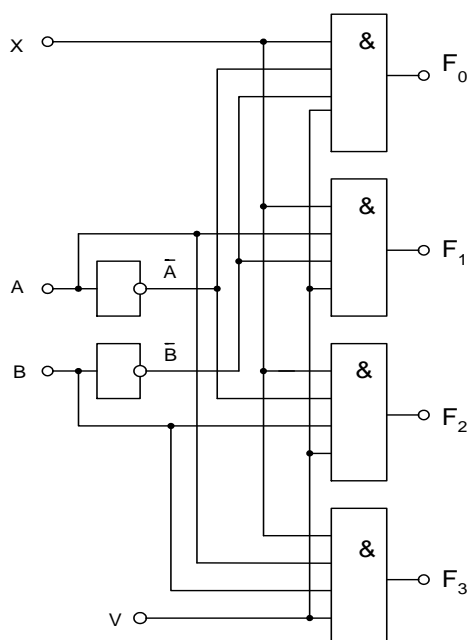


Рис. 6. 13

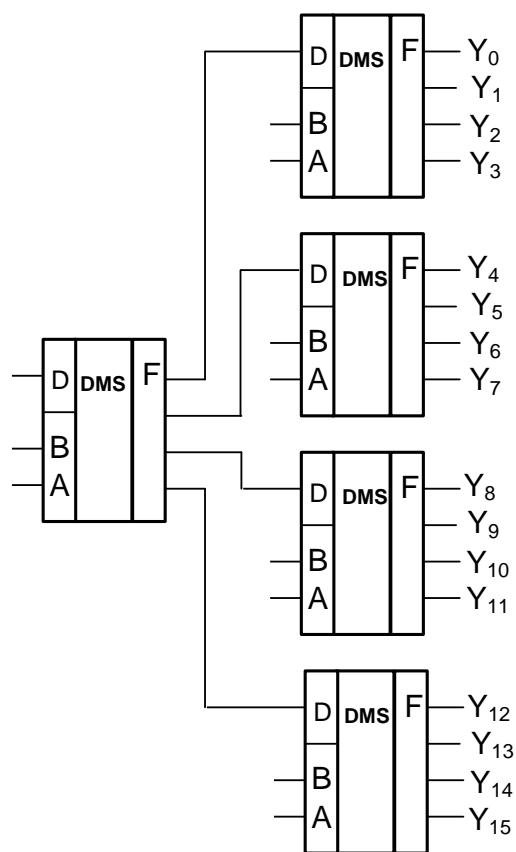


Рис. 6.14

Лабораторна робота № 7

ОПЕРАТИВНО - ЗАПАМ'ЯТОВУЮЧІ ПРИСТРОЇ

Мета роботи - дослідити принцип роботи напівпровідникових статичних оперативно-запам'ятовуючих пристроїв /ОЗП/ із довільною вибіркою.

Опис досліджуваної схеми

До складу лабораторної установки входять універсальний лабораторний стенд зі змінним модулем ОЗП, генератор прямокутних імпульсів Г5-54 і осцилограф С1-55.

Досліджувані схеми ОЗП (Рис.7.1) зібрані на мікросхемах *DD3* (КМОН-структура) і *DD4* (біполярна структура). Перемикачі *S3, S7, S9* задають режим роботи ОЗП - динамічний (віджатий стан перемикачів) або статичний (натиснутий), при цьому керуючі сигнали запис - зчитування Зп/Зч (*XS4*), вибірка кристалу ВК (*XS3*), та вхідна інформація *D* (*XS2*), задаються перемикачами *S6, S8, S10* відповідно. У динамічному режимі керуючі сигнали 3/З, ВК, *D* і вибірка адреси *A1* (*XS3*) знімаються з виходів мікросхем *DD1* та *DD2*.

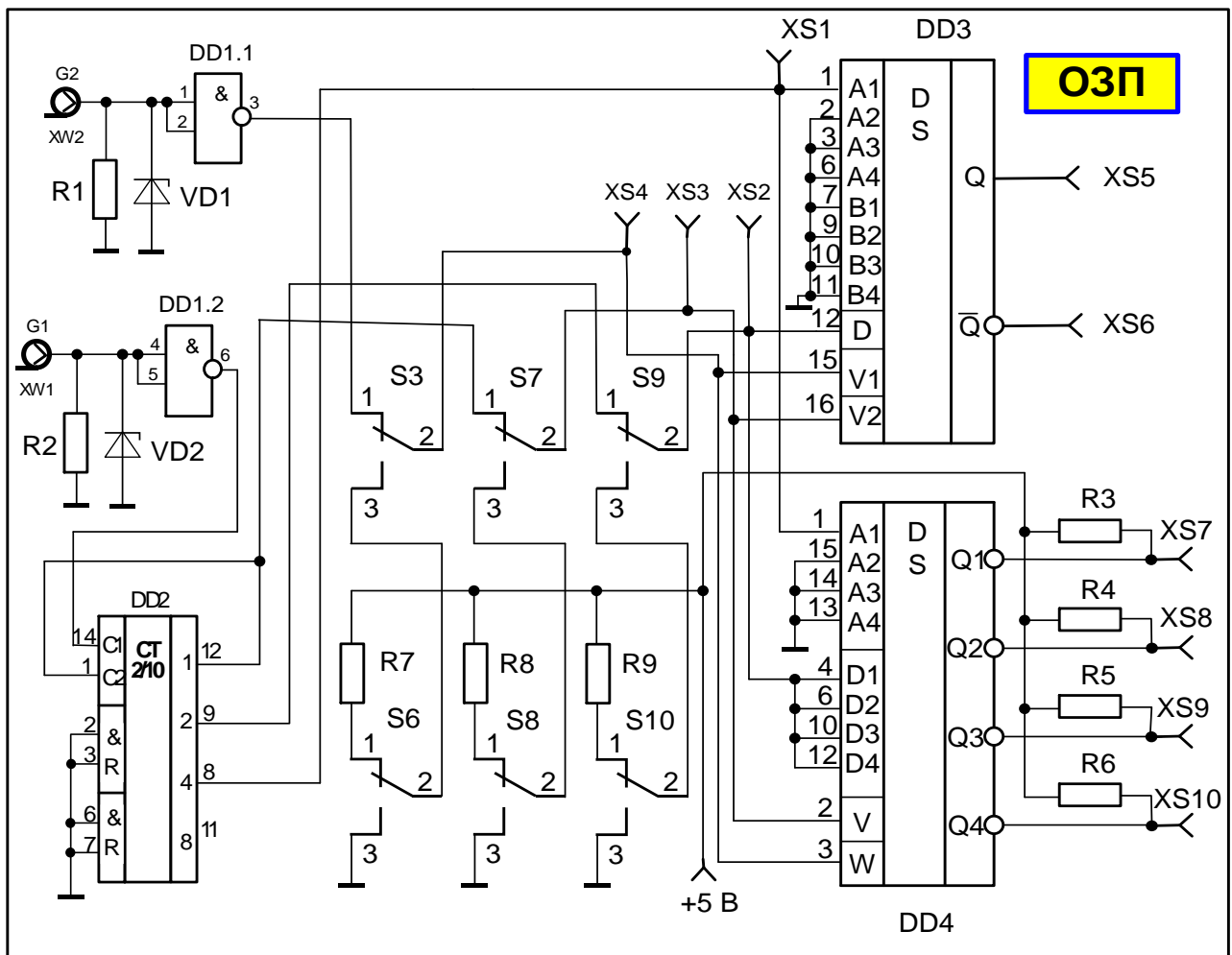


Рис. 7.1. Оперативно-запоминающий пристрій: *DD1* - К155ЛА3; *DD2*- К155ИЕ5; *DD3* - К276РУ2; *DD4* - К155РУ2

Робоче завдання

1. Вказівка. Установити на генераторі Г5-54 частоту проходження імпульсів $f=1$ кГц, основний імпульс ОІ позитивної полярності з амплітудою не більше 5 В і тривалістю $t_i=250$ мкс і затримкою $t_{zt}=250$ мкс відносно синхроімпульсу СІ позитивної полярності та амплітудою не більше 5 В. Синхроімпульс подати на роз'єм G1, основний імпульс - на роз'єм G2. Використовувати зовнішню синхронізацію осцилографа сигналом XS1.

2. Дослідити ОЗП в динамічному режимі на КМОН і на біполярній структурі. Зняти й побудувати часові діаграми (XS1 - XS7) роботи ОЗП, на яких указати області "Запис", "Зчитування", "Зберігання інформації".

3. Дослідити ОЗП в статичному режимі. Скласти план досліджень.

Контрольні питання

1. Призначення запам'ятовуючих пристроїв.
2. Класифікація запам'ятовуючих пристроїв.
3. Пояснити роботу запам'ятовуючих елементів на біполярних транзисторах; запам'ятовуючих елементів на польових транзисторах; запам'ятовуючих елементів, які використовуються у постійних та перепрограмуємих запам'ятовуючих пристроях.

Методичні вказівки

Параметри запам'ятовуючих пристроїв.

Пам'ять - функціональна частина комп'ютера, призначена для запису, зберігання і видачі даних.

Запам'ятовуючий пристрій (ЗП) - комплекс технічних засобів, що реалізують функцію пам'яті.

Запам'ятовуючий елемент (ЗЕ) - частина пам'яті, що використовується для зберігання найменшої одиниці (біт) даних.

Основні параметри ЗП - інформаційна ємність, розрядність, швидкодія, потужність споживання та ін.

Інформаційна ємність визначається найбільшою кількістю інформації, яка може бути зафіксована ЗП. Ємність ЗП вимірюється кількістю N збережених n -розрядних слів. Одиницею виміру для двійкової інформації є біт або байт (один байт рівний восьми бітам). $N=1$ Кбіт $= 2^{10}$ біт $= 1024$ біт; 1 Кбайт $= 2^{10}$ байт $= 1024$ байт; 1 Мбіт $= 2^{20}$ біт $= 1024^2$ біт; 1 Мбайт $= 2^{20}$ байт $= 1024^2$ байт.

Розрядність n - кількість розрядів у шарі, що запам'ятовує. Розрядність слів у ЗП кратна байту.

Швидкодія пам'яті визначається тривалістю операції обігу, тобто тривалістю процесів, необхідних для запису або зчитування інформації.

Тривалість звертання до пам'яті при зчитуванні $t_{зв\ зч}$ - час від моменту подачі коду адреси на регістр адреси ЗП до моменту приходу зчитаного слова на регістр числа ЗП. Тривалість звертання до пам'яті при запису $t_{зв\ зап}$ - час від моменту подачі коду адреси на регістр адреси ЗП до закінчення процесу занесення слова в накопичувач ЗП. Найбільш повною характеристикою швидкодії ЗП є час циклу $T_{ц}$ - мінімальний час між двома послідовними звертаннями до ЗП:

$$T_{\text{ц}} = t_{\text{зв зч}} + t_{\text{зв зап.}}$$

У загальному випадку комп'ютер містить зовнішні й внутрішні ЗП.

Зовнішні ЗП служать для зберігання великих обсягів інформації: баз даних і програмного забезпечення систем. У таких ЗП використовуються ЗП з прямим доступом на магнітних барабанах і дисках.

Внутрішні ЗП за функціями, що виконуються, діляться на оперативні та постійні. Оперативні ЗП (ОЗП) виконують запис, зберігання і зчитування двійкової інформації, забезпечують зберігання програм, що визначають процес поточної обробки інформації та масивів оброблюваних даних. Постійні ЗП (ПЗП) здійснюють зберігання програми, що визначають процес поточної обробки інформації й масивів оброблюваних даних, а також зберігання й видачу постійно записаної інформації, зміст якої не змінюється в ході роботи системи. Це стандартні підпрограми й мікропрограми, що використовуються в процесі роботи перетворювачі кодів, табличні значення різних функцій, константи й ін. Коли необхідно періодично міняти інформацію в ПЗП, використовуються ПЗП, що перепрограмовуються (ППЗП).

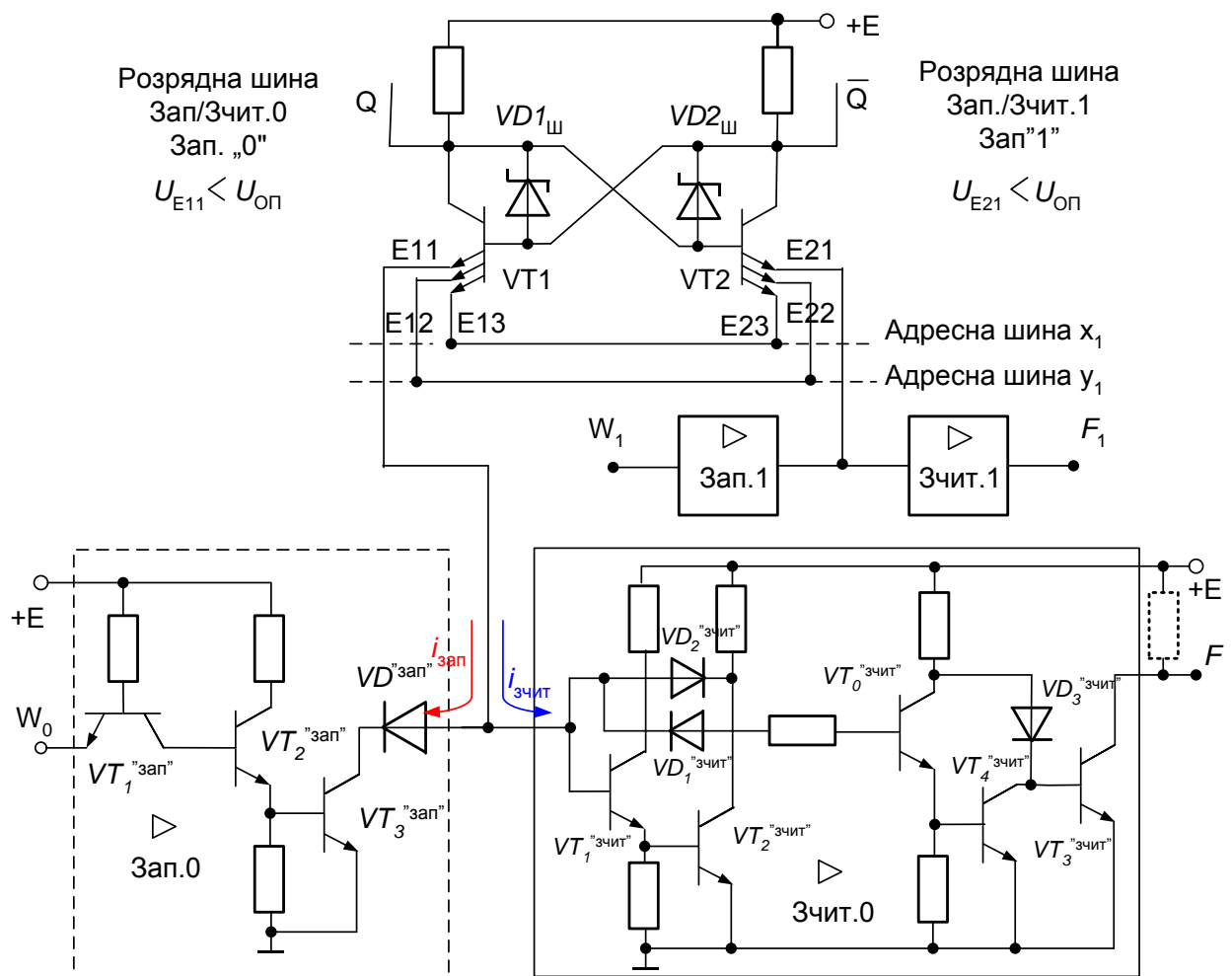
За принципом дії ЗЕ, які використовуються в ОЗП, можна розділити на ЗЕ на лініях затримки, ЕПТ, на феритових осердях, плоских і циліндричних тонких магнієвих плівках, на трансфлюксорах, тунельних діодах і напівпровідникових інтегральних схемах.

Найбільше перспективними слід вважати ЗП на напівпровідникових надвеликих інтегральних мікросхемах та магнітних дисках. Використання напівпровідникових ЗЕ при створенні ЗП дало можливість значно покращити швидкодію, зменшити масу, габаритні розміри й споживану потужність, підвищити надійність роботи ЗП.

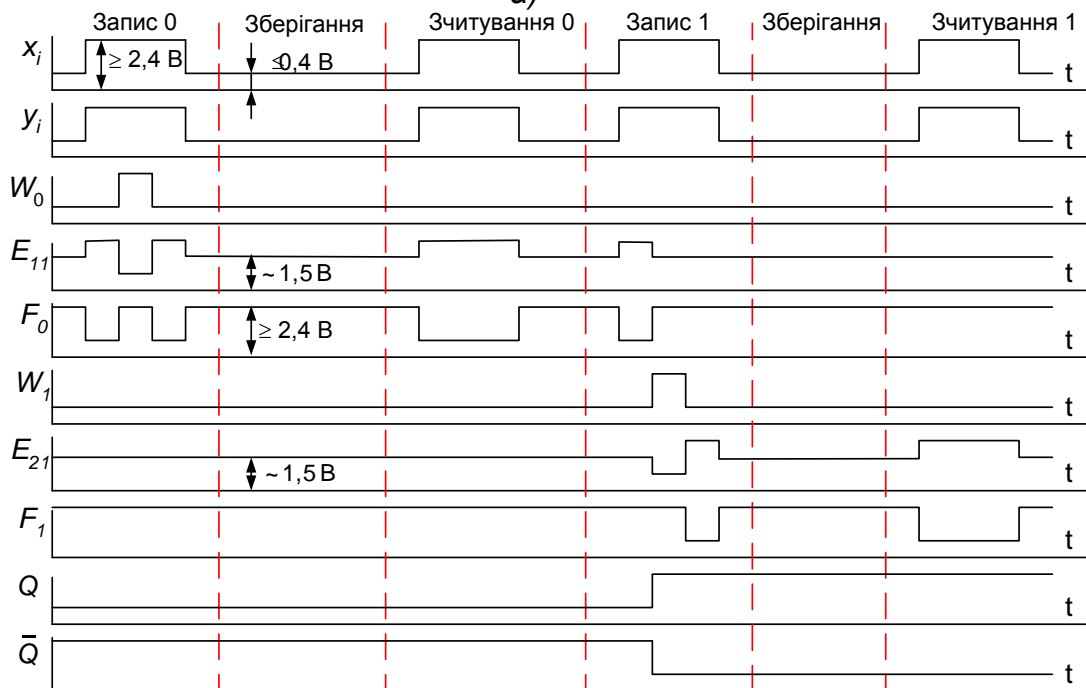
Основа напівпровідникових ЗП - тригер з колами керування для запису та зчитування збереженої інформації. За фізико-технологічними ознаками ЗЕ підрозділяються на біполярні та МОН-структури. Біполярні ЗП мають більш високу швидкодію: $T_{\text{ц}} = 10 \dots 20$ нс (для ЕПТЛ) і $t = 40 \dots 100$ нс (для ТТЛШ), але меншу щільність розміщення ЗЕ на кристалі 266 біт і більшу споживану потужність. ЗП на МОН-структурах мають менші розміри, більшу щільність розміщення ЗЕ на кристалі (4 Кбіт), малу споживану потужність, але нижчу швидкодію.

ЗЕ на біполярних транзисторах. В біполярних інтегральних ЗП в якості ЗЕ використовується статичний тригер на двох багатоемітерних транзисторах (Рис.7.2). Інформаційні емітери E_{11} і E_{21} транзисторів VT_1 і VT_2 з'єднані з розрядними шинами запису і зчитування $RШЗп/Зч0$ та $RШЗп/Зч1$, останні - з підсилювачами запису - зчитування $Зп/Зч0$ та $Зп/Зч1$, адресні емітери E_{13} , E_{23} і E_{12} , E_{22} - відповідно с адресними шинами $АШx_i$ і $АШy_i$.

Запис інформації в ЗЕ. Спочатку здійснюється вибірка даного ЗЕ подачею до адресних шин $АШx_i$ і $АШy_i$ позитивних потенціалів ($\geq 2,4$ В), що відповідають логічній "1", при цьому адресні емітери E_{13} , E_{23} і E_{12} , E_{22} виявляються закритими (Рис.7.2, а). Потім при запису "0" ("1") у ЗЕ на вхід $W0(W1)$ підсилювача запису $Зп1$ ($Зп0$) подається логічна "1", а на вхід $W1(W0)$



а)



б)

Рис. 31.2. Схема запам'ятовуючого елемента напівпровідникового ЗП (а) і часова діаграма роботи ЗЕ (б)

підсилювача Зп1 (Зп0) - логічний "0". При цьому з підсилювача запису Зп0 (Зп1) на підключену до нього розрядну шину РШЗп/Зч0, РШЗп/Зч1 подається

потенціал ($\leq 0,4$ В) логічного "0", а на іншу шину - РШЗп/Зч1, РШЗп/Зч0/ з незбудженого підсилювача Зп1 (Зп0) - потенціал рівний приблизно 1,5 В. Якщо до запису тригер перебував у стані "0" ($VT1$ -відкритий, $VT2$ -закритий), то подача низького потенціалу на емітер $E11$ не змінює стану тригера.

Якщо до запису тригер перебував у стані "1" ($VT1$ - закритий, $VT2$ - відкритий), то при подачі низького потенціалу на емітер $E11$ відкривається транзистор $VT1$, закривається $VT2$ і тригер встановлюється в стан "0".

У режимі зберігання (ЗЕ не обраний) на адресних шинах $AШX_i$ і $AШY_i$ та на входах $W0(W1)$ логічний "0", інформаційні емітери $E11$ і $E21$ закриті, тому що на них подається потенціал ($1...1,5$) В з колектора транзистора $VT2^{зчит}$ і через діод $VD1^{зчит}$, а емітерний струм відкритого транзистора $VT1$ замикається на землю через адресні шини $AШX_i$ і $AШY_i$.

У режимі зчитування (ЗЕ обраний) на адресні шини $AШX_i$ і $AШY_i$ подається потенціал ($\geq 2,4$ В) логічної "1", а на входах $W0^i$ та $W1^i$ потенціал логічного "0". Тому адресні емітери $E12^0$, $E13^1$ і $E22$, $E23$ виявляються закритими, а колекторний струм відкритого транзисторі $VT1$ тече через інформаційний емітер $E11$ і утікає в базове коло вхідного транзистора $VT1^{зчит}$ та підсилювача зчитування Зч.0. При цьому вихідний транзистор $VT5^{зчит}$ відкривається і на виході підсилювача зчитування Зч.0 з'являється логічний "0" (Рис.7.2, б). Зчитування відбувається без руйнування інформації. Збережена в ЗЕ інформація доступна для зчитування увесь час, доки ЗЕ перебуває у обраному стані і в нього не проводиться запис. Для підвищення швидкодії ЗЕ в тригері застосовують діоди Шоттки в колах нелінійного від'ємного зворотного зв'язку, запобігаючи тим самим перехід транзисторів $VT1$ і $VT2$ в режим насичення.

Інтегральна схема біполярного ЗП являє собою кристал кремнію, в якому утворені масиви ЗЕ (тригерів) з усіма міжз'єднаннями, а також дешифратори адреси, підсилювачі - формувачі запису - зчитування та інші схеми для керування адресною вибіркою, записом і зчитуванням. На рис. 7.3, а) зображена схема модуля K155PY1 (16 слів x 1 розряд) напівпровідникового біполярного ЗП. Модуль має адресні входи $X1...X4$ і $Y1...Y4$ інформаційні входи $W0$, $W1$ і виходи $F0$, $F1$. На рис.7.3, в) зображена структурна схема побудови інтегральних напівпровідникових біполярних багаторозрядних ЗП з модулів (корпусів) однорозрядних слів. Зазначене ЗП має ємність $N=16$ слів розрядністю n (перша матриця зберігає нульовий розряд, друга - перший і т.д.).

ЗЕ на МОН-транзисторах. ЗП на МОН-транзисторах можуть бути виконані як на статичних, так і на динамічних ЗЕ. Статичні ЗЕ основані на статичному тригері, що складається із двох МОН-транзисторів $VT1$ і $VT2$ (Рис.7.4,а). Опори навантаження формуються на двох транзисторах $VT3$ і $VT4$, які працюють у режимі динамічного навантаження. Транзистори $VT5$ і $VT6$ використовуються в якості вентилів для звертання до тригера по адресній шині X_i , а $VT7$ і $VT8$ - по адресній шині - Y_i .

В режимі зберігання на адресні шини X_i та Y_i подається нульовий потенціал, а на розрядні шини РШ0 і РШ1 - позитивний потенціал, близький до напруги живлення, при цьому транзистори $VT5$, $VT6$, $VT7$, $VT8$ закриті, ізолюючи тим самим тригер від розрядних шин.

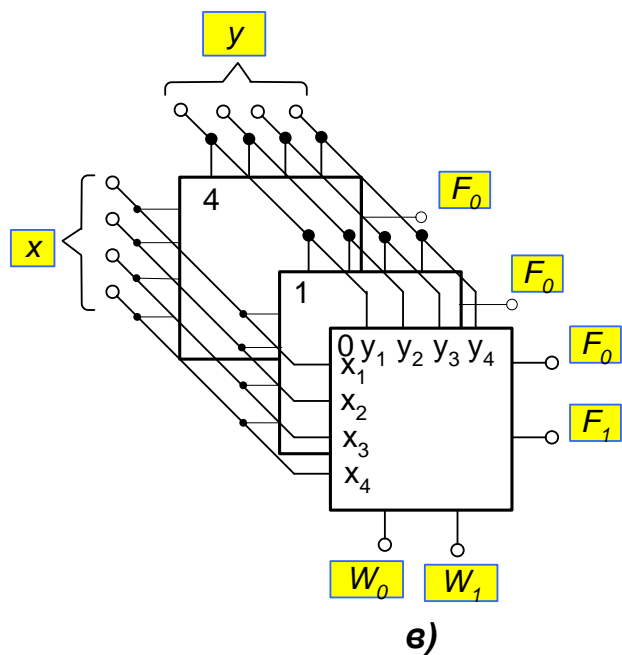
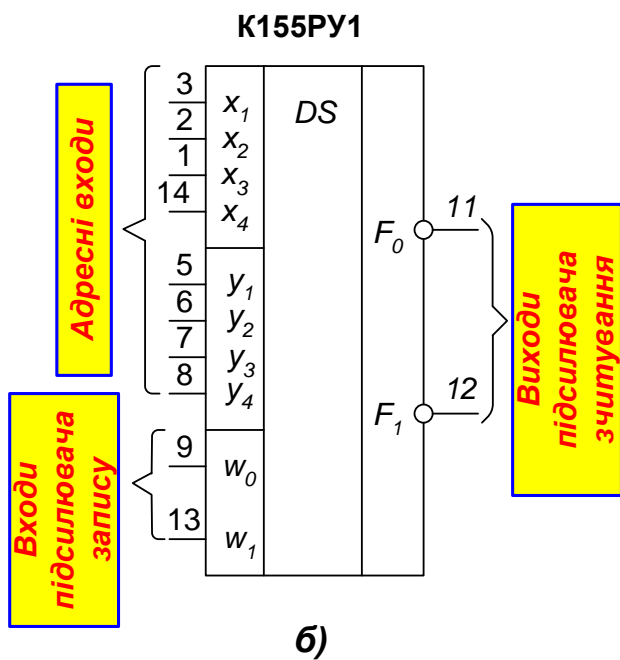
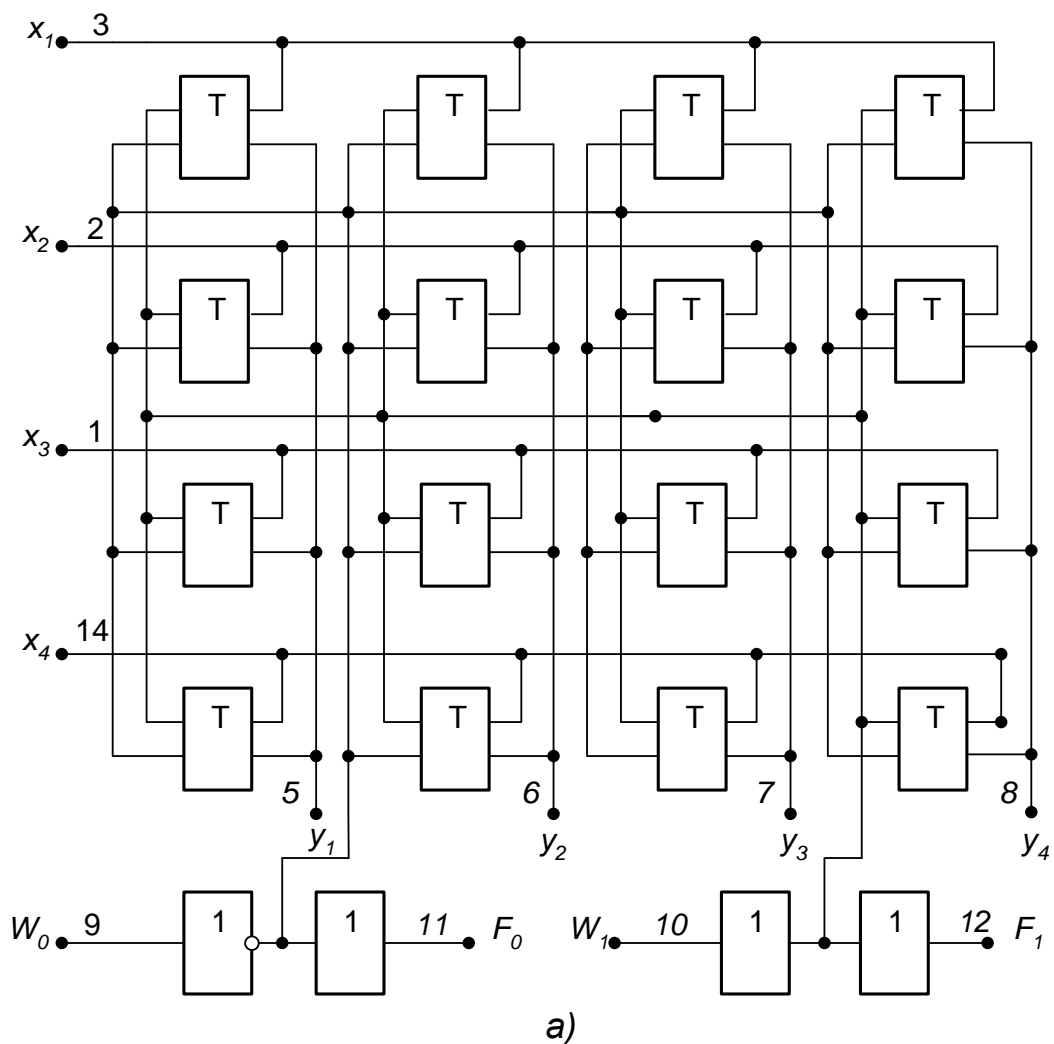


Рис.7.3. Схема модуля K155PY1: а - структурна схема напівполупровідникового біполярного ЗП; б - умовне графічне зображення модуля ЗП; в - напівпровідниковий біполярний ЗП для багаторозрядних слів

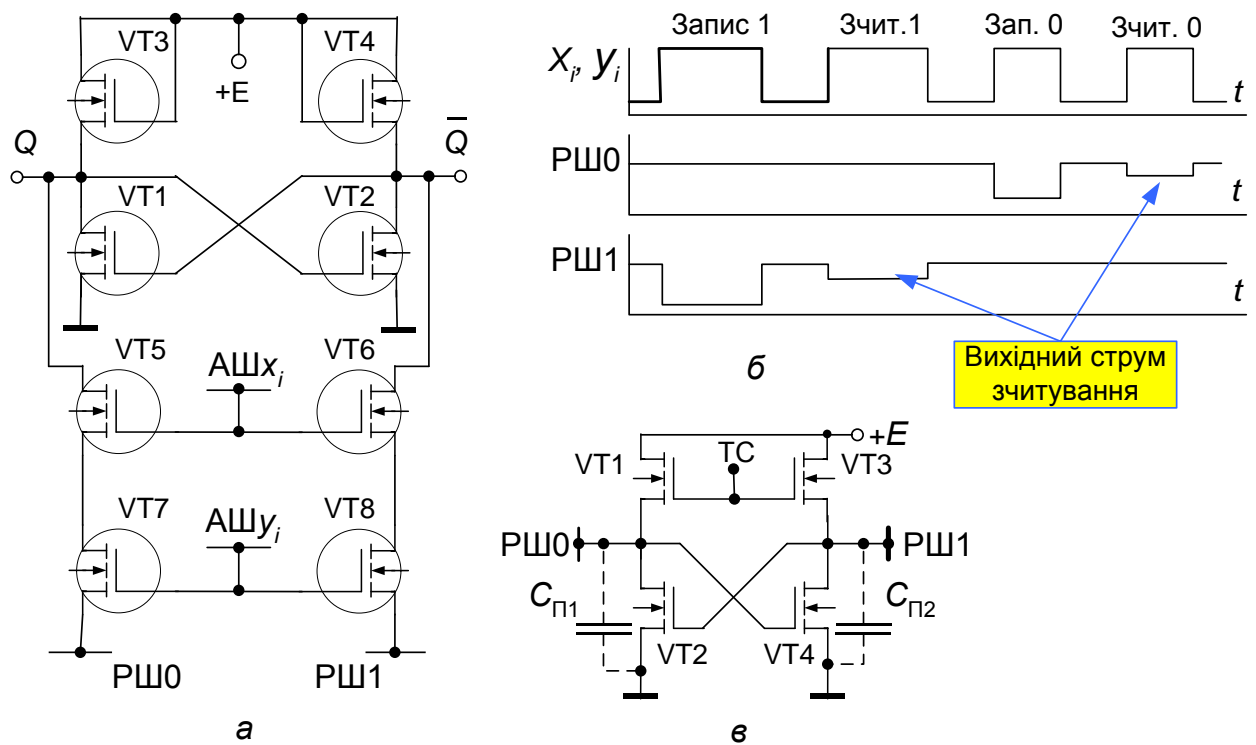


Рис. 7.4. Статичний ЗП на МОН транзисторах: а - схема; б - діаграма його роботи; в - тригерний підсилювач зчитування

В режимі запису на адресні шини X_i та Y_i подається позитивний потенціал і нульовий потенціал на відповідну розрядну шину РШ0 і РШ1, при цьому на виходах Q і \bar{Q} тригера встановлюються необхідні рівні.

При зчитуванні після подачі імпульсу на адресні шини транзистори VT6 і VT2 відкриваються й вимірюється струм, що тече через відкриту половину тригера (Рис.7.4,б).

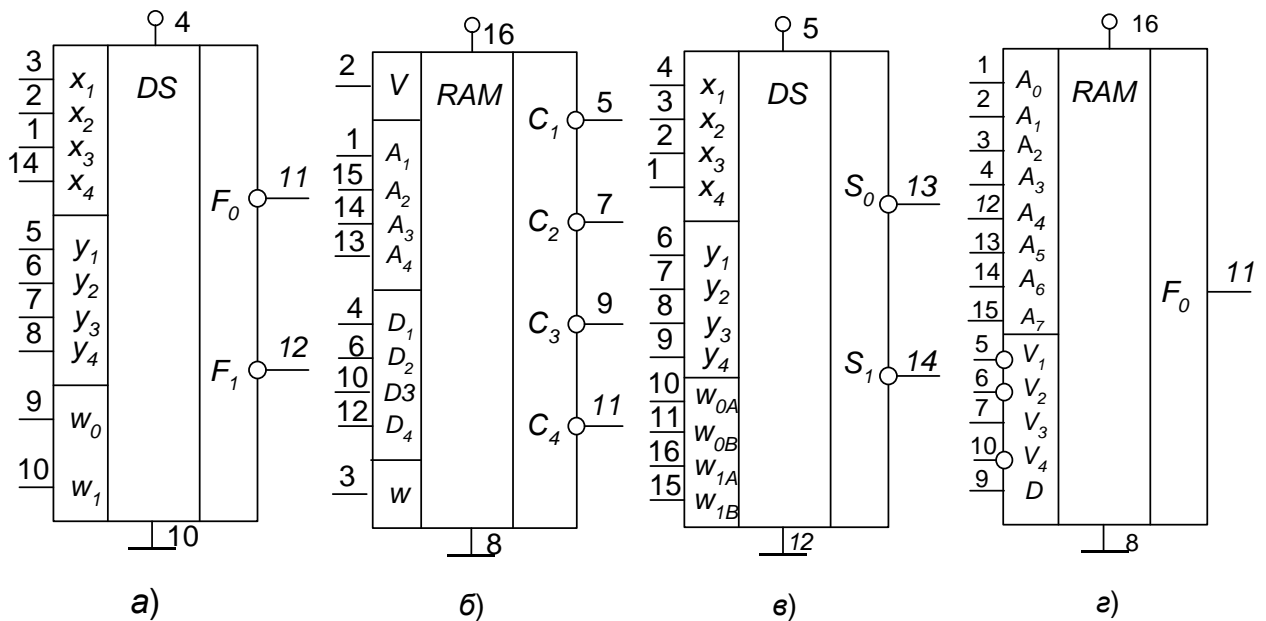
В якості підсилювача зчитування зазвичай використовується диференціальний каскад тригерного типу (Рис.7.4, в), який має високу чутливість. Підсилювач зчитування зв'язаний безпосередньо із ЗЕ.

В режимі зберігання тактовий сигнал (ТС) дорівнює нулю, транзистори VT1 і VT3 закриті, а потенціали шин РШ0 і РШ1 встановлені в нуль додатковими схемами, які на рисунку не показані.

В режимі зчитування на обидві розрядні шини РШ0 і РШ1 подається сигнал зчитування від обраного ЗЕ. Сигнал ТС дорівнює одиниці. Він відкриває транзистори VT1 і VT3, і паразитні ємності C_{n1} , C_{n2} заряджаються від джерела живлення E через транзистори VT1, VT3 і ЗЕ. В залежності від інформації, що зберігається в ЗП, на розрядних шинах РШ0 і РШ1 встановлюється розбаланс напруги, і при досягненні порога спрацьовування тригера на РШ1 і РШ0 встановлюються логічні рівні у відповідності з кодом збереженої інформації.

ОЗП серії KI55PY2. Мікросхема KI55PY2 (Рис.7.5) має загальний обсяг пам'яті 16 чотирьохрозрядних слів. Вхід "Дозвіл вибірки" - V має функцію

заборони при подачі на нього напруги логічної "1". В цьому випадку не можна зробити ні запис в комірку пам'яті, ні зчитування з неї.



K155PY2

V	W	D	C	Режим роботи
1	1	0	1	Збереження 1
0	0	1	0	Запис „1”
0	0	0	1	Запис „0”
0	1	0	1	Зчитування 1
1	0	1	0	Збереження 0

K155PY5

V	V ₄	D	Вихід	Режим роботи
1	x	x	1	Збереження
0	0	1	1	Запис „1”
0	0	0	1	Запис „0”
0	1	x	1	Зчитування

Примітка: $V = \bar{V}_1 \bar{V}_2 \bar{V}_3$ (V сукупність логічних станів на входах вибірки; X - будь-який стан)

Рис.7.5. ОЗП на ВІС: а - K155PY1; б - K155PY2;
в - K155PY3; г - K155PY5

Запис інформації здійснюється прямим кодом паралельно по чотирьом інформаційним входам $D1...D4$ за потрібною адресою $A1...A4$. На входах мікросхеми "Дозвіл вибірки" - V та "Дозвіл запису" - W повинен бути поданий рівень логічного "0". При цьому під час запису на інформаційних виходах $C1...C4$ будуть сигнали, протилежні значенню коду на інформаційних входах $D1...D4$.

$(x_1...x_4)$ і $(y_1...y_4)$ - відповідно адреси строк і стовпців;
 W_0 (W_1) і F_0 (F_1) - відповідно вхід і вихід зчитування логічного "0" ("1");
 $D1...D4$ - інформаційні входи;
 $A1...A4$ - інформаційні виходи;
 V - "Дозвіл вибірки";
 W - "Дозвіл запису"

Зчитування інформації здійснюється при подачі на входи адреси $A1...A4$ прямого коду і рівня напруги логічного "0" на вхід "Дозвіл вибірки" (V). На вході "Дозвіл запису" (W) повинен бути поданий рівень логічної "1". При цьому

записана інформація зчитується паралельно по чотирьом виходам $C1...C4$ в інверсному коді.

ОЗП серії K176PY2. Мікросхема K176PY2 (Рис.7.6) має загальний обсяг пам'яті 256 однорозрядних слів із трьома станами на виході. Запис інформації в комірку пам'яті здійснюється по входу D за наявності коду адреси $A1...A8$, напруги логічного "0" на вході $V2$ і напруги логічної "1" на вході $V1$.

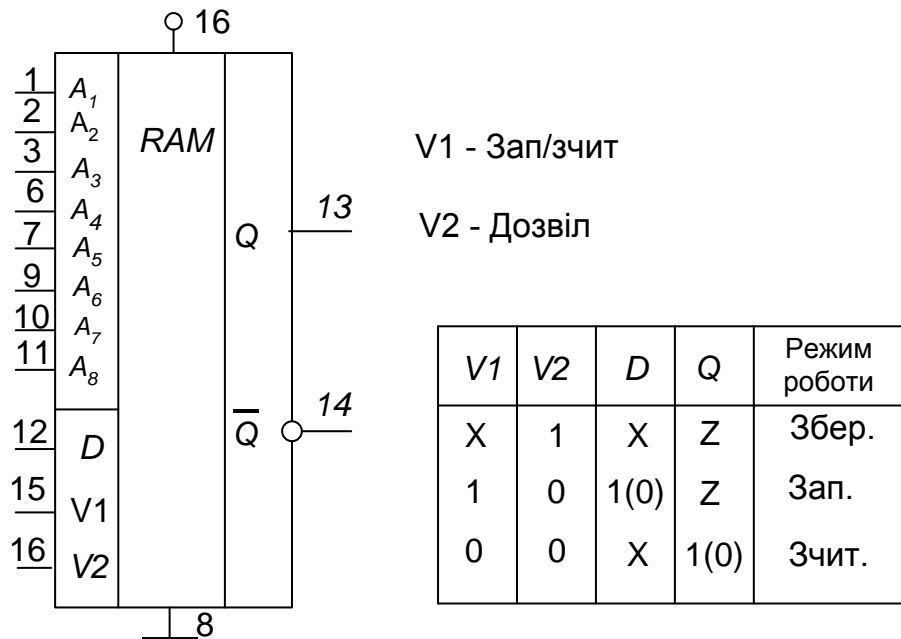


Рис. 7.6. ОЗП на ВІС K176PY2

Зчитування інформації з комірки пам'яті здійснюється за наявності коду адреси на входах $A1...A8$, напруги логічного "0" на входах $V2$ і $V1$. При зчитуванні інформації на вхід D постійно подається напруга або логічного "0", або логічної "1". Перед моментом зміни коду адреси комірки ОЗП при записі та зчитуванні інформації на вхід $V2$ необхідно подати напругу логічної "1" протягом відновлення сигналу $V2$.

ЛІТЕРАТУРА

1. Щерба А.А., Победаш К.К., Святненко В.А. Електроніка та мікросхемотехніка: Навчальний посібник для студентів напрямку підготовки “Електромеханіка”-К.:НТУУ«КПІ», 2013-358с.
<http://ela.kpi.ua/handle/123456789/3569>
2. Схемотехніка електронних систем: У 3-х кн. Кн. 2. Цифрова схемотехніка: Підручник /Бойко В. І., Гуржій А. М., Жуйков В. Я. та ін. – 2-ге вид., допов. і переробл. – К.: Вища шк., 2004. – 423 с.: іл.
3. Схемотехніка електронних систем: У 3-х кн. Кн. 3. Мікропроцесори та мікроконтролери: Підручник /Бойко В. І., Гуржій А. М., Жуйков В. Я. та ін. – 2-ге вид., допов. і переробл. – К.: Вища шк., 2004. – 399 с.: іл.
4. Интегральные микросхемы: Справочник / Тарабрин Б.В., Лунин Л.Ф., Смирнов Ю.Н. и др. - 2-е изд., испр. - М.: Энергоатомиздат, 1985. - 528 с., ил.